

DRIVE CIRCUIT FOR MATRIX DISPLAY DEVICE**Publication number:** JP9179518 (A)**Publication date:** 1997-07-11**Inventor(s):** TOMIZAWA KAZUNARI [JP]; NUMAO KOJI [JP]**Applicant(s):** SHARP KK [JP]; UNITED KINGDOM GOVERNMENT [GB]**Classification:**

- international: G02F1/133; G09G3/20; G09G3/36; G02F1/13; G09G3/20; G09G3/36; (IPC1-7): G09G3/20; G02F1/133; G09G3/36

- European: G09G3/36C6B; G09G3/36C12

Application number: JP19950341876 19951227**Priority number(s):** JP19950341876 19951227**Also published as:**

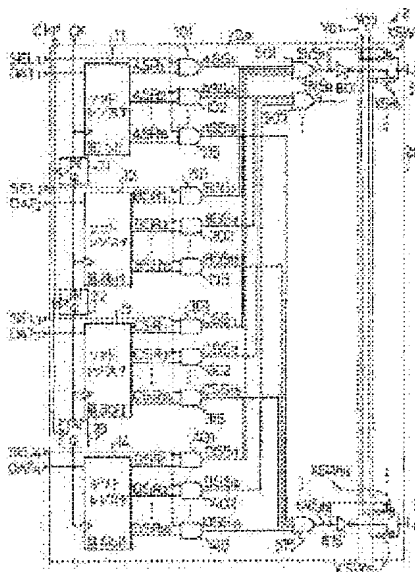
JP3854329 (B2)

GB2308715 (A)

US5969713 (A)

Abstract of JP 9179518 (A)

PROBLEM TO BE SOLVED: To provide a drive circuit suitable for a time division drive method in a matrix display device. **SOLUTION:** This display device selects a scan electrode Li (i=1-15) one by one in respective four selection periods by a scan driver 2, and displays respective bits of the data of four bits on pixels on the selected scan electrodes Li. The scan driver 2 is provided with four pieces of shift registers 11-14 answering to four selection periods. A clock CK having a width of four selection periods and the bit data DAT showing respective bits are inputted to the shift registers 11-14. Fifteen pieces of shift signals from the shift registers 11-14. Fifteen pieces of shift signals from the shift registers 11-14 are ANDed with four selection signals by AND circuits 101-115, etc. By using the signal of the total sum (OR) of these ANDs, open/close of switches XSW1 ...; (for the output of a selective voltage) and the switches YSW1 ... (for the output of non-selective voltage) are controlled.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-179518

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20 J	
G 0 2 F 1/133	5 6 0		G 0 2 F 1/133 5 6 0	
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 未請求 請求項の数10 O L (全 28 頁)

(21) 出願番号 特願平7-341876

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 弁理士 原 謙三

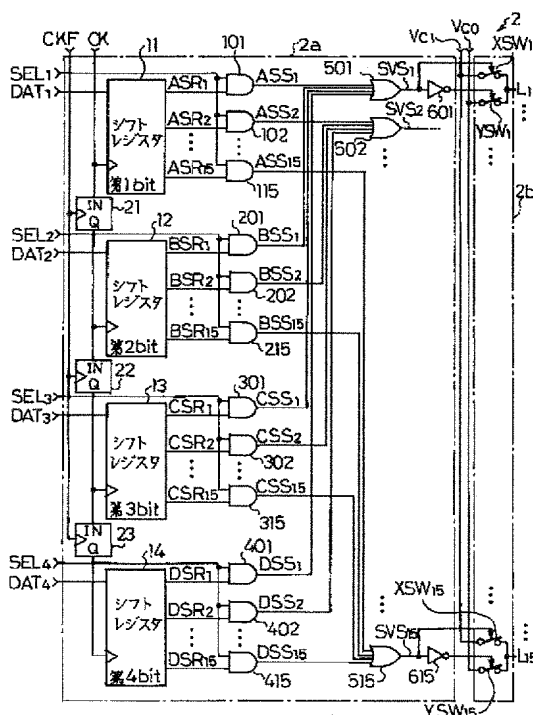
最終頁に続く

(54) 【発明の名称】 マトリクス型表示装置の駆動回路

(57) 【要約】

【課題】 マトリクス型表示装置において時間分割駆動方法に適した駆動回路を提供する。

【解決手段】 マトリクス型表示装置は、4つの選択期間のそれぞれに走査電極 L_i ($i=1\sim 15$) を走査ドライバ2により1本ずつ選択し、選択された走査電極 L_i 上の画素に4bitのデータの各bitを表示する。走査ドライバ2は、4つの選択期間に対応する4個のシフトレジスタ11~14を備えている。シフトレジスタ11~14に、4つの選択期間の幅を有するクロックCKと、各bitを表すビットデータDATを入力する。AND回路101~115等により、シフトレジスタ11~14からの15個のシフト信号と4つのセレクト信号との論理積をとる。この論理積の総和（論理和）の信号を用いて、スイッチ XSW_i …（選択電圧出力用）およびスイッチ YSW_i …（非選択電圧出力用）の開閉を制御する。



【特許請求の範囲】

【請求項1】 n (n は2以上の整数) 選択期間の幅を有するデータ信号を n 選択期間の周期を有するクロックに同期してシフトさせて走査電極の数と同数のシフト信号を出力する n 個のシフトレジスタと、

上記シフトレジスタの1個あたりに上記シフト信号と同数設けられ、選択電圧印加期間を決定するための一定周期の n 個のセレクト信号のうちの1つと上記シフト信号との論理積をとる第1論理積出力手段と、

上記各シフトレジスタからの出力順位が同じシフト信号に基づく論理積同士の論理和をとる第1論理和出力手段とを備えており、

上記クロックおよびセレクト信号が上記各シフトレジスタ毎に1選択期間ずつずれた位相で入力されることを特徴とするマトリクス型表示装置の駆動回路。

【請求項2】 上記シフトレジスタの1個あたりに上記シフト信号と同数設けられ、消去電圧印加期間を決定するための一定周期の n 個のブランク信号のうちの1つと上記シフト信号との論理積をとる第2論理積出力手段と、上記各シフトレジスタからの出力順位が同じシフト信号に基づく上記第2論理積出力手段からの論理積同士の論理和をとる第2論理和出力手段とを備えており、

上記ブランク信号は、有意となる期間が上記セレクト信号と重複しないように入力され、かつ上記各シフトレジスタ毎に1選択期間ずつずれた位相で入力されることを特徴とするマトリクス型表示装置の駆動回路。

【請求項3】 n (n は2以上の整数) 選択期間の幅を有する選択用データ信号を n 選択期間の周期を有するクロックに同期してシフトさせて走査電極の数と同数の選択用シフト信号を出力する n 個の選択用シフトレジスタと、

上記データ信号と同じ幅で異なる情報を有する消去用データ信号を上記選択用シフトレジスタと同様にしてシフトさせて消去用シフト信号を出力する n 個の消去用シフトレジスタと、

上記選択用および消去用シフトレジスタの1組あたりに上記選択用シフト信号と同数設けられ、選択電圧印加期間を決定するための一定周期の n 個のセレクト信号のうちの1つと上記選択用シフト信号との論理積をとる第1論理積出力手段と、

上記選択用および消去用シフトレジスタの1組あたりに上記消去用シフト信号と同数設けられ、消去電圧印加期間を決定するための一定周期の n 個のブランク信号のうちの1つと上記消去用シフト信号との論理積をとる第2論理積出力手段と、

上記選択用シフトレジスタからの出力順位が同じ選択用シフト信号に基づく上記第1論理積出力手段からの論理積同士の論理和をとる第1論理和出力手段と、

上記消去用シフトレジスタからの出力順位が同じ消去用シフト信号に基づく上記第2論理積出力手段からの論理

積同士の論理和をとる第2論理和出力手段とを備えており、

上記ブランク信号は、有意となる期間が上記セレクト信号と重複しないように入力され、上記クロック、セレクト信号およびブランク信号は、上記各組の選択用および消去用シフトレジスタ毎に1選択期間ずつずれた位相で入力されることを特徴とするマトリクス型表示装置の駆動回路。

【請求項4】 n (n は2以上の整数) 選択期間の整数倍の幅を有し2種類の情報を有するデータ信号を n 選択期間の周期を有するクロックに同期してシフトさせて走査電極の数と同数のシフト信号を出力する n 個のシフトレジスタと、

上記シフトレジスタの1個あたりに上記シフト信号と同数設けられ、選択電圧印加期間を決定するための一定周期の n 個のセレクト信号のうちの1つと上記シフト信号と上記データ信号に含まれる情報を識別する識別信号との論理積をとる第1論理積出力手段と、

上記シフトレジスタの1個あたりにシフト信号と同数設けられ、消去電圧印加期間を決定するための一定周期の n 個のブランク信号のうちの1つと上記シフト信号と上記識別信号との論理積をとる第2論理積出力手段と、

上記識別信号の入力状態を、各順位の上記第1および第2論理積出力手段の間で互いに否定となるようにし、かつ上記第1および第2論理積出力手段の奇数順位と偶数順位との間でも互いに否定となるようにする否定入力手段と、

上記シフトレジスタからの出力順位が同じシフト信号に基づく上記第1論理積出力手段からの論理積同士の論理和をとる第1論理和出力手段と、

上記シフトレジスタからの出力順位が同じシフト信号に基づく上記第2論理積出力手段からの論理積同士の論理和をとる第2論理和出力手段とを備えており、

上記クロック、セレクト信号およびブランク信号が上記各シフトレジスタ毎に1選択期間ずつずれた位相で入力される一方、上記識別信号は、上記データ信号の幅が n の偶数倍であるときに $2n$ 選択期間分の周期を有し、上記データ信号の幅が n の奇数倍であれば $3n$ 選択期間分の周期を有するクロックであることを特徴とするマトリクス型表示装置の駆動回路。

【請求項5】 クロックの2周期以上の幅を有する選択用データ信号をクロックに同期してシフトさせて走査電極の数と同数の選択用シフト信号を出力する選択用シフトレジスタと、

上記選択用シフトレジスタの隣り合う3つの出力から出力された上記選択用シフト信号の論理積をとる第1論理積出力手段と、

上記3つの選択用シフト信号のうち出力順位が第1および第2の選択用シフト信号と隣り合う3本の走査電極のうちの1本の特定の走査電極に最初に選択電圧を印加す

るときに選択電圧印加期間を決定するための一定周期の第1セレクト信号との論理積をとる第2論理積出力手段と、

上記3つの選択用シフト信号のうち出力順位が第2および第3となる選択用シフト信号と上記特定の走査電極に最後に選択電圧を印加するときに選択電圧印加期間を決定するための一定周期の第2セレクト信号との論理積をとる第3論理積出力手段と、

上記第1ないし第3論理積出力手段からの論理積同士の論理和をとる第1論理和出力手段とを備えていることを特徴とするマトリクス型表示装置の駆動回路。

【請求項6】上記クロックの2周期以上の幅を有し、上記選択用データ信号と位相の異なる消去用データ信号をクロックに同期してシフトさせて走査電極の数と同数の消去用シフト信号を出力する消去用シフトレジスタと、上記消去用シフトレジスタの隣り合う3つの出力から出力された上記消去用シフト信号の論理積をとる第4論理積出力手段と、

上記3つの消去用シフト信号のうち出力順位が第1および第2の消去用シフト信号と上記特定の走査電極に最初に消去電圧を印加するときに消去電圧印加期間を決定するための一定周期の第1ブランク信号との論理積をとる第5論理積出力手段と、

上記3つの消去用シフト信号のうち出力順位が第2および第3の消去用シフト信号と上記特定の走査電極に最後に消去電圧を印加するときに消去電圧印加期間を決定するための一定周期の第2ブランク信号との論理積をとる第6論理積出力手段と、

上記第4ないし第6論理積出力手段からの論理積同士の論理和をとる第2論理和出力手段とをさらに備えていることを特徴とする請求項5に記載のマトリクス型表示装置の駆動回路。

【請求項7】上記第1および第2論理和出力手段からの論理和に基づいていずれか1つのみ有意となる3つの信号を出力する信号出力手段と、

上記3つの信号のそれぞれによりON/OFFが制御され、上記信号が有意のときONすることにより選択電圧、非選択電圧および消去電圧を個別に上記走査電極に印加する選択電圧用スイッチ、非選択電圧用スイッチおよび消去電圧用スイッチとをさらに備えていることを特徴とする請求項2、3、4または6に記載のマトリクス型表示装置の駆動回路。

【請求項8】上記選択電圧用スイッチに与えられる上記信号が有意であるときに、上記選択電圧用スイッチをOFFさせるOFF手段をさらに備えていることを特徴とする請求項7に記載のマトリクス型表示装置の駆動回路。

【請求項9】上記消去電圧用スイッチに与えられる上記信号が有意であるときに、上記消去電圧用スイッチをOFFさせるOFF手段をさらに備えていることを特徴と

する請求項7に記載のマトリクス型表示装置の駆動回路。

【請求項10】反転入力端子に入力される上記第1および第2論理和出力手段からのそれぞれの論理和に基づく電圧の和と非反転入力端子に入力される基準電圧との差を所定の増幅度で増幅する反転増幅器をさらに備えていることを特徴とする請求項2、3、4または6に記載のマトリクス型表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電性液晶表示装置のようにメモリ性を有するマトリクス型表示装置において表示パネルを駆動する駆動回路に関するものである。

【0002】

【従来の技術】メモリ性を有するマトリクス型表示装置は、特開平5-107521号公報に開示されている相転移形液晶表示装置の他に、特開平3-20715号公報に開示されている強誘電性液晶表示装置、特開平6-43829号公報に開示されているプラズマ表示装置などがある。

【0003】一般に、マトリクス型表示装置には、共通して、走査電極毎に独立した選択期間が必要となるので同時に複数の走査電極を選択することができないという特徴がある。また、上記の各マトリクス型表示装置においては、走査電極に印加する電圧を次のように変化させて表示を行っている。まず、画素の表示状態を決める選択電圧を印加した後、画素の表示状態を保持するための保持電圧を印加し、最後に画素の表示状態を消去するための消去電圧を印加する。または、保持電圧の印加を停止することによっても画素の表示状態が消去される。

【0004】このような表示装置の階調表示を実現するためには、例えば、特開昭63-226178号公報に開示されている走査方法が用いられる。以下、この走査方法を図14を用いて説明する。

【0005】図14は、15本の走査電極 $L_1 \sim L_{15}$ から構成されたマトリクス型表示装置の走査方法を模式的に示している。走査電極 $L_1 \sim L_{15}$ は、図14において最上段に付された1から60までの数字（選択期間を表す）の順に選択されるようになっている。また、それぞれのブロックには、走査電極 $L_1 \sim L_{15}$ 上の画素に与えるべきデータのbit番号が付記されている。

【0006】この例では、4bitで構成されるデータの各bitが、各選択期間において、選択電圧が印加されることにより指定された走査電極 L_i 上の画素各に付与される。これにより、第1から第4までの各選択期間に、それぞれ、走査電極 L_i 上の画素が第4bitを表示し、走査電極 L_1 上の画素が第1bitを表示し、走査電極 L_2 上の画素が第2bitを表示し、走査電極 L_3 上の画素が第3bitを表示する。

【0007】なお、図14において、各選択期間でbit番号が付記されていない走査電極L_iには非選択電圧が印加されている。

【0008】このように、上記の走査方法では、時間分割で走査を行うことにより階調表示を可能にしている。

【0009】ここで、上記の走査方法が適用される強誘電性液晶表示装置（以降、FLCDと称する）の一般的な構成について説明する。このFLCDは、図15に示すような液晶パネル61を有している。この液晶パネル61は、互いに対向する2枚の透光性の例えばガラスからなる基板62・63を備えている。

【0010】基板62の表面には、例えばインジウム錫酸化物（以降、ITOと称する）からなる複数の透明な信号電極S…が互いに平行に配置されている。これらの信号電極S…は、例えば酸化シリコン（SiO₂）からなる透明な絶縁膜64により被覆されている。

【0011】一方、基板63の表面には、例えばITOからなる複数の透明な走査電極L…が信号電極S…と直交するように互いに平行に配置されている。これらの走査電極L…は、絶縁膜64と同じ材料からなる透明な絶縁膜65で被覆されている。

【0012】上記の絶縁膜64・65上には、ラビング処理などの一軸配向処理が施された配向膜66・67がそれぞれ形成されている。配向膜66・67としては、ポリビニルアルコール等が用いられる。

【0013】強誘電性液晶68は、配向膜66・67が対向するように、封止剤69で貼り合わされたガラス基板62・63の間の空間内に充填されて液晶層を形成している。強誘電性液晶68は、封止剤69に設けられた図示しない注入口から注入され、その注入口が封止されることにより封入される。

【0014】基板62・63は、さらに偏光軸が互いに直交するように配置された2枚の偏光板70・71で挟まれている。

【0015】図16に示すように、走査電極L…（L₁～L_F）は走査ドライバ81に接続され、信号電極S…（S₁～S_F）は信号ドライバ82に接続されている。

【0016】走査ドライバ81では、1bitの走査信号YIが、クロックCKに基づいてシフトレジスタ81aにより転送され、シフトレジスタ81aの各出力段から出力される。アナログスイッチアレイ81bは、シフトレジスタ81aから出力される信号がハイレベルであるかローレベルであるかに応じて、走査電極L_kに選択電圧V_{c1}を印加するか走査電極L_k（k≠i）に非選択電圧V_{c0}を印加するかを選択する。

【0017】信号ドライバ82では、データ信号XIが、クロックCKに基づいてシフトレジスタ82aにより転送され、シフトレジスタ82aの各出力段から出力される。シフトレジスタ82aから出力される信号は、さらに負論理のラッチパルスLPに同期してラッチ82

bで保持される。アナログスイッチアレイ82cは、ラッチ82bに保持された値がハイレベルであるかローレベルであるかに応じて、信号電極S_kにアクティブ電圧V_{s1}を印加するか信号電極S_k（k≠j）にノンアクティブ電圧V_{s0}を印加するかを選択する。

【0018】上記のように構成されるFLCDでは、走査電極Lと信号電極Sとが交差する部分が画素となっている。そして、各画素の点灯および非点灯により、液晶パネル61の全体で表示が行われる。

【0019】図17（b）に示すように、上記の画素に含まれる液晶分子91は、その長軸方向と垂直に自発分極P_sを有している。この液晶分子91は、走査電極Lへの印加電圧と信号電極Sへの印加電圧との電位差により発生する電界Eおよび自発分極P_sのベクトル積に比例した力を受けて、2倍のチルト角2θの頂角を持った円錐92の表面上を移動する。

【0020】また、液晶分子91は、図17（a）に示すように、電界Eにより軸93まで移動させられると位置P₁で安定した状態になり、電界Eにより軸94まで移動させられると位置P₂で安定した状態になる。このように、液晶分子91は、2つの安定した状態をとるという性質を備えている。

【0021】さらに、液晶分子91が電界Eにより動かされても、位置P₁・P₂が変化しない限り、元の安定した状態へ戻ろうとする復元力が液晶分子91に働く。

【0022】そこで、図15に示す偏光板70・71の一方の偏光軸を、軸93・94のいずれかと一致させることにより、2つの表示状態を得ることができる。すなわち、一方の安定状態にある液晶分子91を有する画素が明るい表示状態となり、他方の安定状態にある液晶分子91を有する画素が暗い表示状態となる。

【0023】液晶分子91には、前記の電界Eによる力の他に分子長軸の方向と分子短軸の方向との誘電率の差である誘電異方性Δεおよび電界Eの二乗の積に比例した力が働く。したがって、液晶分子91に働く力Fは、次式により表される。

$$【0024】F = K_0 \times P_s \times E + K_1 \times \Delta \epsilon \times E^2$$

なお、上式において、K₀およびK₁は定数である。

【0025】このため、誘電率異方性Δεが負のFLC材料が封入された液晶パネル61では、電界Eが増加すれば、ある電界E_{max}で自発分極P_sによる力の増加より誘電異方性Δεが負であることの効果による力の増加が大きくなり、液晶分子91に働く力は、その電界E_{max}で最大となる。また、メモリパルス幅は、液晶分子91に働く力に逆比例すると考えられるから、その電界E_{max}で最小となる。

【0026】この現象を利用したFLCDの駆動方法として、例えばFLC国際会議（1991）でDefence Research Agency から“The JOERS/Alvey Ferroelectric Multiplexing Scheme”として発表されたJOERS/Alvey 駆

動法（以降、J/A駆動法と称する）がある。図18にその論文で示されているBDH社製のFLC材料であるSCE8の電圧-メモリパルス幅の特性を示す。

【0027】図18において○でマーキングされたデータは、図19（a）に示す±10Vのバイアス電圧を重畳しながら測定される。一方、図18において+でマーキングされたデータは、図19（b）に示す±0Vのバイアス電圧を重畳しながら測定された。

【0028】上記の駆動方法では、1画面のデータの書き替えを2フィールドの走査により行う。まず、第1フィールドでは、図20（a）に示すように、選択電圧 V_{cA} を走査電極 L_i へ印加するとき、電圧 V_{sC} を信号電極 S_j へ印加することにより、電圧 V_{A-C} を両電極の交差部分の画素における液晶分子91へ印加する。これにより、液晶分子91の安定状態が一方の安定状態に切り替えられる。

【0029】第2フィールドでは、図20（b）に示すように、選択電圧 V_{cB} を走査電極 L_i へ印加するとき、電圧 V_{sH} を信号電極 S_j へ印加することにより、電圧 V_{E-H} を両電極の交差部分の画素における液晶分子91へ印加する。これにより、液晶分子91の安定状態が保持される。

【0030】液晶分子91の安定状態を他方の安定状態に切り替える場合は、まず、第1フィールドでは、図20（a）に示すように、選択電圧 V_{cA} を走査電極 L_i へ印加するとき、電圧 V_{sC} を信号電極 S_j へ印加することにより、電圧 V_{A-C} を上記の画素における液晶分子91へ印加する。これにより、液晶分子91の安定状態を変化させない。

【0031】第2フィールドでは、図20（b）に示すように、選択電圧 V_{cB} を走査電極 L_i へ印加するとき、電圧 V_{sD} を信号電極 S_j へ印加することにより、電圧 V_{E-D} を上記の画素における液晶分子91へ印加する。これにより、液晶分子91の安定状態が他方の安定状態に切り替えられる。

【0032】上記の画素以外の画素における液晶分子91の安定状態を切り替えているときには、次のように電圧を印加する。

【0033】まず、第1フィールドでは、図20（a）に示すように、電圧 V_{sC} または電圧 V_{sE} を信号電極 S_j へ印加するとき、非選択電圧 V_{cB} を走査電極 L_k （ $k \neq i$ ）へ印加することにより、電圧 V_{B-C} または電圧 V_{B-E} を両電極の交点の画素における液晶分子91へ印加する。第2フィールドでは、図20（b）に示すように、電圧 V_{sD} または電圧 V_{sH} を信号電極 S_j へ印加するとき、非選択電圧 V_{cA} を走査電極 L_i へ印加することにより、電圧 V_{F-D} または電圧 V_{F-H} を両電極の交点の画素における液晶分子91へ印加する。これにより、液晶分子91の安定状態は、信号電極 S_j への印加電圧がいずれの電圧であっても変化しない。

【0034】上記の駆動方法が可能となるのは、次の条件による。

【0035】第1の条件は、図20（a）（b）に示す電圧 $V_{A-C} \cdot V_{E-D}$ をそれぞれ決定する電圧レベル $V_{A-C} + V_D \cdot V_s - V_D$ の絶対値が、液晶分子91に働く力が最大値の近辺となるような40（V）近辺の電圧（図18参照）であること。第2の条件は、図20（a）（b）に示す電圧 $V_{A-C} \cdot V_{E-H}$ をそれぞれ決定する電圧レベル $V_{A-C} - V_D \cdot V_s + V_D$ の絶対値が、液晶分子91に働く力が最大値から減少していく領域である60（V）近辺の電圧（図18参照）であること。それゆえ、第1の条件の電圧により液晶分子91に働く力は、第2の条件の電圧により液晶分子91に働く力より大きくなる。

【0036】また、上記の駆動方法が可能となるのは、次の条件にもよる。

【0037】電圧 V_{A-C} は、2つの電圧レベル $V_D \cdot V_s + V_D$ が同極性であり、電圧 V_{E-D} は、2つの電圧レベル $V_D \cdot V_s - V_D$ が同極性である。一方、電圧 V_{A-C} は、2つの電圧レベル $V_D \cdot V_s - V_D$ が逆極性であり、電圧 V_{E-H} は、2つの電圧レベル $V_D \cdot V_s + V_D$ が逆極性である。このため、同極性の場合、安定状態の切り替えが容易な電圧レベル $V_{A-C} + V_D \cdot V_s - V_D$ をとるのに対し、逆極性の場合、安定状態の切り替えが同極性の場合より容易でない電圧レベル $V_{A-C} - V_D \cdot V_s + V_D$ をとることになる。

【0038】上記のJ/A駆動法を拡張した駆動方法としては、Liquid Crystals, 1993, Vol. 13, No. 4, 597-601における“A new set of high matrix addressing schemes for ferroelectric liquid crystal displays”に開示されているMalvern 駆動法が挙げられる。図21に示すように、J/A駆動法（図中、J/A）は、列電圧波形における選択電圧の持続時間をタイムスロットTに等しく設定している。これに対し、Malvern-2 駆動法（図中、M-2）およびMalvern-3 駆動法（図中、M-3）は、選択電圧の持続時間をそれぞれタイムスロットTの2倍と3倍にまで延長している。

【0039】マトリックス型表示装置としてFLCDを用いる場合、前記のJ/A駆動法では、1画面のデータの書き替えに要する2フィールドの走査において、それぞれ図20（a）（b）に示す波形の駆動電圧を印加する。これに対し、SID '92における“Colour Digital Ferroelectric Liquid Crystal Displays For Laptop Applications”に開示されている駆動方法では、図22に示すように、消去電圧（ブランキングパルスBP）を用いることにより、1画面のデータの書き替えを第2フィールドだけで行う。

【0040】

【発明が解決しようとする課題】ところが、上記のような走査方法では、走査電極 L_i が $L_1 \rightarrow L_2 \rightarrow L_3 \rightarrow L_4 \rightarrow L_5 \rightarrow L_6 \rightarrow L_7 \rightarrow L_8 \rightarrow L_9 \rightarrow L_{10}$ の順に走査される。

、→…のように離散的に選択されていく。このような走査を既存のドライバICを用いて行う場合、複雑な入力信号（クロック、データパルス等）が必要であること、必要以上のドライバICを用意する必要があること等の不都合が生じる。このため、既存のドライバICにより構成される駆動回路では、上記の走査方法による時間分割階調表示を行なうのが困難である。

【0041】また、図21に示すMalvern-2 駆動法およびMalvern-3 駆動法のように選択電圧の持続時間が選択期間より長くなる場合にも、既存のドライバICを用いると、やはり時間分割階調表示を行なうのが困難である。例えば、走査電極L₁に印加される選択電圧が選択期間より長い期間持続するする場合、次に選択される走査電極L₂でも、選択電圧L₁の選択電圧の影響が及ぶ。この結果、走査電極L₂には、本来印加されるはずの選択電圧の他に、選択電圧L₁の選択期間を越えた選択電圧が印加されてしまう。

【0042】さらに、図22に示す消去電圧を組み合わせる走査する場合にも同様に時間分割階調表示を行なうのが困難である。例えば、この走査方法では、同一の選択期間内に選択電圧と消去電圧が出力されている（図6参照）。ところが、既存のドライバICでは、1つのICから同時に同時に2つの信号を出力することが困難である。

【0043】本発明は、上記の事情に鑑みてなされたものであって、上記の走査方法に適した駆動回路を提供することを第1の目的としている。また、本発明の第2の目的は、消去電圧を組み合わせる走査方法に適した駆動回路を提供することにある。さらに、本発明の第3の目的は、選択電圧の持続時間が選択期間より長い走査方法に適した駆動回路を提供することにある。

【0044】

【課題を解決するための手段】本発明のマトリクス型表示装置の駆動回路は、上記の課題を解決するために、以下の各構成を採用していることを特徴としている。

【0045】〔第1の駆動回路〕第1の駆動回路は、n*

$$(SR(i)_1 \times SEL_1) + (SR(i)_2 \times SEL_2) + \dots + (SR(i)_n \times SEL_n) \quad \dots (1)$$

なお、上式において、“×”は論理積を表し、“+”は論理和を表す。これは、以降の駆動回路の説明で用いられる論理式においても同様である。

【0049】これにより、n選択期間毎に走査電極L₁・L₂・L₃…と順番にシフトする信号が生成される。したがって、nb i tのデータの各b i tについて個別に走査電極を選択することにより時間分割階調表示を行う場合、各b i t毎にシフトレジスタおよびセレクト信号を用意すれば、図14の走査パターンによる走査方法のように、L₁・L₂・L₃…の順に4選択期間毎に順番に走査電極に選択電圧を印加することができる。

【0050】また、各シフトレジスタに入力されるクロ

*（nは2以上の整数）選択期間の幅を有するデータ信号をn選択期間の周期を有するクロックに同期してシフトさせて走査電極の数と同数のシフト信号を出力するn個のシフトレジスタと、これらのシフトレジスタの1個あたりに上記シフト信号と同数設けられ、選択電圧印加期間を決定するための一定周期のn個のセレクト信号のうちの1つと上記シフト信号との論理積をとる第1論理積出力手段（AND回路）と、上記各シフトレジスタからの出力順位が同じシフト信号に基づく論理積同士の論理和をとる第1論理和出力手段（OR回路）とを備えている。なお、上記クロックおよびセレクト信号は、上記各シフトレジスタ毎に1選択期間ずつずれた位相で入力される。

【0046】図14に示す走査パターンは、前述のように走査電極L₁が離散的に選択されるように見えるが、第1ないし第4b i tのそれぞれに着目すれば、各b i tについて順位の小さい走査電極L₁から順にL₂・L₃…というように選択されるという規則性がある。上記の第1の駆動回路は、この規則性を利用している。

【0047】第1の駆動回路では、入力されたデータ信号が、n個のシフトレジスタにより順次シフトされ、複数のシフト信号として出力される。具体的には、第1、第2ないし第nのシフトレジスタからは、それぞれ走査電極L₁・L₂・L₃…に対応したシフト信号SR(1)₁・SR(2)₁・SR(3)₁…、SR(1)₂・SR(2)₂・SR(3)₂…～SR(1)_n・SR(2)_n・SR(3)_nが出力される。

【0048】すると、第1論理積出力手段により、これらのシフト信号とセレクト信号との論理積がとられる。さらに、第1論理和出力手段により、上記各シフトレジスタからの出力順位が同じシフト信号に基づく論理積同士の論理和がとられる。すなわち、走査電極L₁についての論理和は、セレクト信号をSEL₁～SEL_nとすれば次の論理式で表される。

ックおよびセレクト信号はそれぞれ1選択期間ずつずれている。これにより、各b i tについての走査電極の選択が相互に重なり合うことはない。しかも、階調のレベルは、各シフトレジスタに入力されるデータ信号のタイミングによって決定される。

【0051】〔第2の駆動回路〕第2の駆動回路は、第1の駆動回路に適用される回路であって、上記シフトレジスタの1個あたりに上記シフト信号と同数設けられ、消去電圧印加期間を決定するための一定周期のn個のブランク信号のうちの1つと上記シフト信号との論理積をとる第2論理積出力手段（AND回路）と、上記各シフトレジスタからの出力順位が同じシフト信号に基づく上

記第2論理積出力手段からの論理積同士の論理和をとる第2論理和出力手段（OR回路）とを備えている。なお、上記ブランク信号は、有意となる期間が上記セレクト信号と重複しないように入力され、かつ上記各シフトレジスタ毎に1選択期間ずつずれた位相で入力される。

【0052】FLCDのようにメモリ性を有するマトリクス型表示装置では、選択電圧を印加する前に消去電圧を印加しなければならない。そこで、第2の駆動回路では、第1の駆動回路において、各シフトレジスタから出力されるシフト信号にn選択期間の幅があることを利用*10

$$(SR(i)_1 \times BL_1) + (SR(i)_2 \times BL_2) + \dots + (SR(i)_n \times BL_n) \quad \dots (2)$$

これにより、n選択期間毎に走査電極 $L_1 \cdot L_2 \cdot L_3 \dots$ と順番にシフトする信号が生成される。したがって、前記のように時間分割階調表示を行う場合、各bit毎にブランク信号を用意すれば、例えば、図6に示す走査パターンのように、 $L_1, L_2, L_3 \dots$ というように4選択期間毎に順番に走査電極に消去電圧を印加することができる。しかも、セレクト信号とブランク信号との有意となる期間が重複しないので、消去電圧の印加後に選

【0054】なお、セレクト信号およびブランク信号の数を増やすことにより、選択電圧および消去電圧の種類を増やすことができる。ただし、同時に複数の走査電極に選択電圧を印加するような選択電圧の設定は避けた方が好ましい。したがって、選択電圧については、1つの選択期間内に複数の電位を発生するようにセレクト信号

【0055】〔第3の駆動回路〕第3の駆動回路は、n（nは2以上の整数）選択期間の幅を有する選択用データ信号をn選択期間の周期を有するクロックに同期してシフトさせて走査電極の数と同数の選択用シフト信号を出力するn個の選択用シフトレジスタと、上記データ信号と同じ幅で異なる情報を有する消去用データ信号を上記選択用シフトレジスタと同様にしてシフトさせて消去用シフト信号を出力するn個の消去用シフトレジスタと、上記選択用および消去用シフトレジスタの1組あたり

*して消去電圧を印加するための期間を設定するようになっている。

【0053】具体的に第2の駆動回路では、第2論理積出力手段により、各シフトレジスタから出力されるシフト信号とブランク信号との論理積がとられる。さらに、第2論理和出力手段により、上記各シフトレジスタからの出力順位が同じシフト信号に基づく論理積同士の論理和がとられる。すなわち、走査電極 L_1 についての論理和は、ブランク信号を $BL_1 \sim BL_n$ とすれば次の論理式で表される。

出力手段からの論理積同士の論理和をとる第1論理和出力手段（OR回路）と、上記消去用シフトレジスタからの出力順位が同じ消去用シフト信号に基づく上記第2論理積出力手段からの論理積同士の論理和をとる第2論理和出力手段（OR回路）とを備えている。なお、上記ブランク信号は、有意となる期間が上記セレクト信号と重複しないように入力され、上記クロック、セレクト信号およびブランク信号は、上記各組の選択用および消去用シフトレジスタ毎に1選択期間ずつずれた位相で入力される。

【0056】第3の駆動回路では、上記のような構成により、選択電圧の印加を制御するための制御信号と消去電圧を印加するための制御信号とを独立に出力するようになっている。このため、第3の駆動回路は、選択用および消去用のシフトレジスタを2つで1組として備えている。

【0057】このような駆動回路において、選択用データ信号は、n個の選択用シフトレジスタにより順次シフトされ、複数の選択用シフト信号として出力される。消去用データ信号は、n個の消去用シフトレジスタにより順次シフトされ、複数の消去用シフト信号として出力される。これにより、第1組ないし第n組のシフトレジスタから、第2の駆動回路と同様に2種類のシフト信号が得られる。

【0058】すると、第1論理積出力手段により、各選択用シフトレジスタに応じて入力されるセレクト信号と上記の選択用シフト信号との論理積がとられる。また、第2論理積出力手段により、各消去用シフトレジスタに応じて入力されるブランク信号と上記の消去用シフト信号との論理積がとられる。

【0059】さらに、第1論理和出力手段により、選択用シフトレジスタからの出力順位が同じ選択用シフト信号に基づく第1論理積出力手段からの論理積同士の論理和が、前記の（1）式に基づいてとられる。一方、第2論理和出力手段により、消去用シフトレジスタからの出力順位が同じ消去用シフト信号に基づく第2論理積出力手段からの論理積同士の論理和が、前記の（2）式に基づいてとられる。

【0060】これにより、 n 選択期間毎に走査電極 $L_1 \cdot L_2 \cdot L_3 \dots$ と順番にシフトする2種類の信号が生成される。したがって、本駆動回路では、第2の駆動回路と同様、上記の信号を用いて4選択期間毎に順番に走査電極に選択電圧と消去電圧とを印加することができる。

【0061】また、第3の駆動回路では、上記のように第1および第2の駆動回路と共通する論理演算が行われる。ただし、第3の駆動回路は、第1および第2の駆動回路と異なり、選択用と消去用にそれぞれ専用のシフトレジスタを備えている。これにより、選択用シフト信号と消去用シフト信号が、異なる選択用データ信号と消去用データ信号を基に得られる。それゆえ、選択用データ信号と消去用データ信号のタイミングの設定により、選択電圧と消去電圧の間隔を任意に設定することができる。

【0062】一方、第2の駆動回路では、消去電圧と選択電圧の間隔が時間分割階調を行う bit 数によって制限されてしまう。例えば、4 bit の時間分割階調では、シフトレジスタからの出力が4選択期間しか確保できない。このため、消去電圧および選択電圧の幅を1選択期間とすると、消去電圧と選択電圧の間隔が0から2選択期間までになる。強誘電性液晶を用いたMalvern 駆動法では、選択電圧と消去電圧の間隔が狭いと選択時に誤動作が生じやすいため、第2の駆動回路が利用できない。これに対し、第3の駆動回路では、 bit 数に関わらず、選択電圧と消去電圧の間隔を広げることにより、このような問題を解消することができる。

【0063】〔第4の駆動回路〕第4の駆動回路は、第2の駆動回路において、シフトレジスタが n 選択期間の整数倍の幅を有し2種類の情報を有するデータ信号をシフトさせてシフト信号を出力するようにし、第1および第2論理積出力手段が、さらに上記データ信号に含まれる情報を識別する識別信号を論理積の要素として与えられる。第4の駆動回路は、また、上記識別信号の入力状態を、各順位の上記第1および第2論理積出力手段の間で互いに否定となるようにし、かつ上記第1および第2論理積出力手段の奇数順位と偶数順位との間でも互いに否定となるようにする否定入力手段を備えている。なお、上記識別信号は、上記データ信号の幅が n の偶数倍であるときに2 n 選択期間分の周期を有し、上記データ信号の幅が n の奇数倍であれば3 n 選択期間分の周期を有するクロックである。

【0064】第4の駆動回路では、入力されるデータ信号が、 n 個のシフトレジスタにより順次シフトされ、複数のシフト信号として出力される。上記のデータ信号は、2種類の情報、例えば選択用および消去用の情報を有しており、信号幅にその情報が含まれる。また、シフトレジスタに入力されるデータ信号は、1フレーム内に選択分と消去分の信号を共存させることができる。このようなデータ信号を用いることにより、選択分と消去分

の信号をそれぞれ2フレームに分ける場合に比べて効果的である。

【0065】次いで、奇数順位の第1論理積出力手段により、各シフトレジスタ (bit) 毎に出力されるシフト信号とセレクト信号と識別信号との論理和がとられ、第2論理積出力手段により、シフト信号とブランク信号と識別信号との論理和がとられる。また、偶数順位の第1論理積出力手段により、セレクト信号とシフト信号と否定入力手段による識別信号の論理否定との論理積がとられる。一方、奇数順位の第2論理積出力手段により、シフト信号とブランク信号と否定入力手段による識別信号の論理否定との論理積がとられる。また、偶数順位の第2論理積出力手段により、シフト信号とブランク信号と識別信号との論理積がとられる。

【0066】さらに、第1論理和出力手段により、シフトレジスタからの出力順位が同じシフト信号に基づく第1論理積出力手段からの論理積同士の論理和がとられる。一方、第2論理和出力手段により、シフトレジスタからの出力順位が同じシフト信号に基づく第2論理積出力手段からの論理積同士の論理和がとられる。

【0067】これにより、走査電極 L_i についての論理和は、識別信号を S/B とし、識別信号の論理否定を $\#S/B$ とすれば、 L_i が偶数順位であるとき、

$$\{ (SR(i)_1 \times SEL_1 \times S/B_1) + (SR(i)_1 \times BL_1 \times \#S/B_1) \} + \dots + \{ (SR(i)_n \times S/B_n \times SEL_n) + (SR(i)_n \times \#S/B_n \times BL_n) \}$$

と表される。一方、 L_i が奇数順位であるとき、

$$\{ (SR(i)_1 \times SEL_1 \times \#S/B_1) + (SR(i)_1 \times BL_1 \times S/B_1) \} + \dots + \{ (SR(i)_n \times SEL_n \times \#S/B_n) + (SR(i)_n \times BL_n \times S/B_n) \}$$

と表される。

【0068】また、識別信号 S/B は、選択用の情報と消去用の情報とを区別するための信号であって、データ信号の幅が n 選択期間の偶数倍であればその2 n 選択期間分の周期を有し、奇数倍であればその3 n 選択期間分の周期を有するクロックである。したがって、識別信号とシフト信号とセレクト信号 (ブランク信号) との論理積をとることにより、図9または図10に示すように、選択用の情報 (SS) と消去用の情報 (SB) とを取り出すことができる。図9はデータ信号の幅が n 選択期間の2倍である場合を示し、図10はデータ信号の幅が n 選択期間の1倍である場合を示している。

【0069】ここで、例えば、データ信号の幅が選択期間の奇数倍のとき、識別信号 S/B の幅を2 n 選択期間分の周期を有するクロックとすれば、本来、選択用 (または消去用) の電圧が出力されるべき期間に消去用 (または選択用) の電圧が出力される。したがって、データ信号と識別信号 S/B との関係は前記のように設定する必要がある。

【0070】なお、前述のように、識別信号の両論理積

出力手段への入力、選択側と消去側とで異なり、さらに第1および第2論理積出力手段に対応する走査電極の偶数順位と奇数順位とで異なっている。具体的には、識別信号は、第1（選択側）論理積出力手段と第2（消去側）論理積出力手段との入力時に互いに否定の関係となり、さらに走査電極の偶数順位と奇数順位との間でも互いに否定の関係となる。

【0071】したがって、上記の場合と逆の関係で識別信号を入力することができる。この場合、奇数順位の第1および第2論理積出力手段にそれぞれ#S/BとS/B 10が入力され、偶数順位の第1および第2論理積出力手段にそれぞれS/Bと#S/Bが入力される。

【0072】このように、第4の駆動回路では、シフト信号およびセレクト信号に識別信号を加えた3つの信号の論理積をとるようになっているので、シフトレジスタの数を第2の駆動回路と同様にn個にすることができ、かつ選択電圧と消去電圧の間隔を任意に設定することができる。それゆえ、第3の駆動回路に比べてシフトレジスタの数を半減させることができる。

【0073】〔第5の駆動回路〕第5の駆動回路は、クロックの2周期以上の幅を有する選択用データ信号をクロックに同期してシフトさせて走査電極の数と同数の選択用シフト信号を出力する選択用シフトレジスタと、この選択用シフトレジスタの隣り合う3つの出力から出力された上記選択用シフト信号の論理積をとる第1論理積出力手段と、上記3つの選択用シフト信号のうち出力順位が第1および第2の選択用シフト信号と隣り合う3本の走査電極のうちの1本の特定の走査電極に最初に選択電圧を印加するときに選択電圧印加期間を決定するための一定周期の第1セレクト信号との論理積をとる第2論理積出力手段と、上記3つの選択用シフト信号のうち出力順位が第2および第3の選択用シフト信号と上記特定の走査電極に最後に選択電圧を印加するときに選択電圧印加期間を決定するための一定周期の第2セレクト信号との論理積をとる第3論理積出力手段と、上記第1ないし第3論理積出力手段からの論理積同士の論理和をとる第1論理和出力手段とを備えている。

【0074】前述のMalvern 駆動法（図21参照）では、選択電圧が2つの選択期間にわたって存在する。これは、例えば、第1ないし第5選択期間のそれぞれにおいて、3本の走査電極の各グループ（ L_{i-3} 、 L_{i-2} 、 L_{i-1} ）、（ L_{i-2} 、 L_{i-1} 、 L_i ）、（ L_{i-1} 、 L_i 、 L_{i+1} ）、（ L_i 、 L_{i+1} 、 L_{i+2} ）、（ L_{i+1} 、 L_{i+2} 、 L_{i+3} ）に選択電圧が印加されるということである。すなわち、1本の走査電極には、連続する3つの選択期間で選択電圧が印加されることになる。

【0075】走査電極 L_i に着目すれば、最初に走査電極 L_i に選択電圧が印加される選択期間（上記の第2選択期間）では、同時に走査電極 L_{i-1} に選択電圧が印加 50

されるが、走査電極 L_{i+1} には選択電圧が印加されない。一方、最後に走査電極 L_i に選択電圧が印加される選択期間（上記の第4選択期間）では、同時に走査電極 L_{i+1} に選択電圧が印加されるが、走査電極 L_{i-1} には選択電圧が印加されない。その間で走査電極 L_i に電圧が印加される選択期間（上記の第3選択期間）では、同時に走査電極 L_{i+1} と走査電極 L_{i-1} とに選択電圧が印加される。

【0076】そこで、隣り合う3本の走査電極のうちの特定の走査電極 L_i について、最初に選択電圧が印加される選択期間と、最後に選択電圧が印加される選択期間と、その間の選択期間とを区別する。これにより、選択電圧を2つ以上の選択期間にわたって任意の持続時間で印加することができる。

【0077】具体的には、最初と最後とに走査電極 L_i に選択電圧が印加される選択期間では、それぞれ最初の選択期間用のセレクト信号と最後の選択期間用のセレクト信号とを用いて選択電圧制御信号を作成する。また、その間の選択期間ではセレクト信号を用いずにそのまま選択電圧制御信号を作成する。このようにすれば、上記のように選択電圧を印加することができる。

【0078】このため、第5の駆動回路では、入力された選択用データ信号が、選択用シフトレジスタにより順次シフトされ、複数の選択用シフト信号として出力される。隣り合う3つのシフト信号は、第1ないし第3論理積出力手段による論理演算に供される。

【0079】第1論理積出力手段により、隣り合う3つの選択用シフト信号の論理積がとられる。また、第2論理積出力手段により、3つの選択用シフト信号のうち出力順位が第1および第2の選択用シフト信号と上記の最初の選択期間用のセレクト信号である第1セレクト信号との論理積がとられる。さらに、第3論理積出力手段により、3つの選択用シフト信号のうち出力順位が第2および第3の選択用シフト信号と上記の最後の選択期間用のセレクト信号である第2セレクト信号との論理積がとられる。そして、第1論理和出力手段では、上記の3つの論理積の論理和がとられる。

【0080】ここで、第1および第2セレクト信号をそれぞれSLF、SLLとすれば、第1ないし第3論理積出力手段および第1論理和出力手段による上記の論理演算は次式により表される。

$$\begin{aligned} & \{ (SR_{i-1} \times SR_i \times (\#SR_{i+1}) \times SLF) + \\ & (SR_{i-1} \times SR_i \times SR_{i+1}) + ((\#SR_{i-1}) \times SR_i \times SR_{i+1} \times SLL) \} = (SR_{i-1} \times SR_i \times SLF) + (SR_{i-1} \times SR_i \times SR_{i+1}) + (SR_i \times SR_{i+1} \times SLL) \end{aligned}$$

上式において $\#SR_{i+1}$ は SR_{i+1} の論理否定を表し、 $\#SR_{i-1}$ は SR_{i-1} の論理否定を表す。

【0082】このようにして得られた論理演算の結果を制御信号として用いて選択電圧の印加を行えば、選択電圧の持続時間を選択期間より長くすることができる。

【0083】〔第6の駆動回路〕第6の駆動回路は、第5の駆動回路に適用される回路であって、上記クロックの2周期以上の幅を有し、上記選択用データ信号と位相の異なる消去用データ信号をクロックに同期してシフトさせて走査電極の数と同数の消去用シフト信号を出力する消去用シフトレジスタと、上記消去用シフトレジスタの隣り合う3つの出力から出力された上記消去用シフト信号の論理積をとる第4論理積出力手段と、上記3つの消去用シフト信号のうち出力順位が第1および第2の消去用シフト信号と上記特定の走査電極に最初に消去電圧を印加するときに消去電圧印加期間を決定するための一定周期の第1ブラंक信号との論理積をとる第5論理積出力手段と、上記3つの消去用シフト信号のうち出力順位が第2および第3の消去用シフト信号と上記特定の走査電極に最後に消去電圧を印加するときに消去電圧印加期間を決定するための一定周期の第2ブラंक信号との論理積をとる第6論理積出力手段と、上記第4ないし第6論理積出力手段からの論理積同士の論理和をとる第2論理和出力手段とを備えている。

【0084】第6の駆動回路は、消去電圧についても、前記の第1の駆動回路と同様に、選択期間より長い期間の印加を可能とする構成である。このため、消去用データ信号が消去用シフトレジスタでシフトされた隣り合う3つの消去用シフト信号と、最初および最後の消去電圧印加期間用のブラंक信号とを用いる。第4ないし第6論理積出力手段により、上記の消去用シフト信号と、2つのブラंक信号とを基にして3つの論理積がとられる。さらに、第2論理和出力手段により、それらの論理積の論理和がとられる。

【0085】このようにして得られた論理演算の結果を制御信号として用いて選択電圧の印加を行えば、消去電圧の持続時間を選択期間より長くすることができる。

【0086】〔第7の駆動回路〕第7の駆動回路は、上記の第2、第3、第4または第6の駆動回路のいずれかに適用される回路であって、上記第1および第2論理和出力手段からの論理和に基づいていずれか1つのみ有意となる3つの信号を出力する信号出力手段と、上記3つの信号のそれぞれによりON/OFFが制御され、上記信号が有意のときONすることにより選択電圧、非選択電圧および消去電圧を個別に上記走査電極に印加する選択電圧用スイッチ、非選択電圧用スイッチおよび消去電圧用スイッチとを備えている。選択電圧用、非選択電圧用および消去電圧用の各スイッチは、例えばアナログスイッチにより構成される。

【0087】第7の駆動回路では、信号出力手段により、第1および第2論理和出力手段からの論理和に基づいて3つの信号が出力される。その3つの信号のいずれか1つが有意となるので、有意となった信号により1つのスイッチをONさせることができる。

【0088】これにより、1つの信号（選択電圧制御信

号）が有意（例えばハイレベル）であるとき、選択電圧用スイッチがONし、他のスイッチがOFFすることにより、選択電圧がONした選択電圧用スイッチを介して出力される。また、他の1つ（非選択電圧制御信号）が有意であるとき、非選択電圧用スイッチがONし、他のスイッチがOFFすることにより、非選択電圧がONした非選択電圧用スイッチを介して出力される。そして、さらに他の1つ（消去電圧制御信号）が有意であるとき、消去電圧用スイッチがONし、他のスイッチがOFFすることにより、消去電圧が消去電圧用スイッチを介して出力される。

【0089】このように、第7の駆動回路では、第1および第2論理和出力手段からの2つの論理和に基づいて3つの信号を得て、その信号により、選択電圧、非選択電圧および消去電圧のうち1つを出力することができる。

【0090】〔第8の駆動回路〕第8の駆動回路は、上記の第7の駆動回路に適用される回路であって、上記選択電圧用スイッチに与えられる上記信号が有意であるときに、上記選択電圧用スイッチをOFFさせるOFF手段を備えている。あるいは、OFF手段は、消去電圧用スイッチに与えられる上記信号が有意であるときに、上記消去電圧用スイッチをOFFさせるように構成されていてもよい。

【0091】本駆動回路が液晶パネルのような容量性の負荷を駆動する場合、上記の選択電圧制御信号が有意のときでも、選択電圧用スイッチをOFFさせることにより、液晶パネルに接続される本駆動回路の選択電圧出力端子がハイインピーダンスになる。また、消去電圧出力端子も同様にハイインピーダンスになる。

【0092】これにより、ハイインピーダンスとなった出力端子では、その直前の電圧レベルが維持される。したがって、選択電圧用スイッチまたは消去電圧用スイッチをOFFさせるタイミングを調整すれば、任意の電圧レベルを液晶パネルへ印加することが可能になる。

【0093】〔第9の駆動回路〕第9の駆動回路は、第2、第3、第4または第6の駆動回路のいずれかに適用される回路であって、反転入力端子に入力される上記第1および第2論理和出力手段からのそれぞれの論理和に基づく電圧の和と非反転入力端子に入力される基準電圧との差を所定の増幅度で増幅する反転増幅器をさらに備えている。反転増幅器は、例えば、オペレーショナルアンプの反転入力端子と出力端子の間に抵抗R₁が接続される一方、反転入力端子に並列にm種類の抵抗R₂。（抵抗値は任意）が接続されることで構成される。

【0094】第9の駆動回路では、第1および第2論理和出力手段からのそれぞれの論理和に基づく電圧が各抵抗R₁を介して反転入力端子に入力されることにより、反転入力端子にそれらの電圧の和が入力される。また、非反転入力端子には基準電圧V₀が入力される。さら

に、入力電圧は、“High”または“Low”のそれぞれするとき V_h または V_l であるとする。このとき出力される電圧は、次式で表される。

$$V_{out} = (V_h - V_l) R_o \sum (P_n / R_n) + V_l$$

ここで、 P_n は、各電圧制御信号の状態を表し、“0”か“1”の値をとる。

【0095】 m 個の P_n の組み合わせは2の m 乗あるため、出力電圧は2の m 乗の種類の電位となる。このため、上記のような反転増幅器を用いることにより、少ない信号で多くの電位を発生することができる。したがって、多種類の出力電圧を得る際に、入力信号数を減らすとともに、第8の駆動回路で用いたようなスイッチおよび選択電圧等の電源ラインを省くことができる。

【0096】

【発明の実施の形態】

〔第1の実施の形態〕本発明の実施の一形態について図1ないし図12に基づいて説明すれば、以下の通りである。

【0097】(FLCDの基本構成)本実施の形態に係るFLCDは、図2に示すように、基本的には、従来の技術で述べたFLCD(図15参照)と同等の構造をなす液晶パネル1を備えている。この液晶パネル1は、走査電極 $L \dots$ と信号電極 $S \dots$ とを備えている。走査電極 $L \dots$ と信号電極 $S \dots$ とは所定の間隔をおいて互いに交差するように配されており、その間に図示しない強誘電性液晶が封入されている。

【0098】走査電極 $L \dots$ は走査ドライバ2に接続され、信号電極 $S \dots$ は信号ドライバ3に接続されている。図2に示す液晶パネル1は、説明を簡単にするために、16本ずつの走査電極 $L \dots$ ($L_1 \sim L_{16}$)と、同数の信号電極 $S \dots$ ($S_1 \sim S_{16}$)とを備える構成となっており、これらが交差する部分が 16×16 個の画素となる。

【0099】走査ドライバ2は、走査電極 $L \dots$ に電圧を印加する回路であり、制御回路2aと、アナログスイッチアレイ2bとを有している。この走査ドライバ2は、後述するように複数のシフトレジスタ11～14等(例えば図1参照)を備え、アナログスイッチアレイ2bの動作を制御するようになっている。

【0100】アナログスイッチアレイ2bは、制御回路2aからの制御信号に基づいて選択信号 V_{c1} または非選択電圧 V_{c0} を走査電極 L_i に出力するようになっている。また、アナログスイッチアレイ2bは、必要に応じて後述する消去電圧 V_{c2} (図4参照)を走査電極 L_i に出力するようになっている。

【0101】信号ドライバ3は、走査電極 $S \dots$ に電圧を印加する回路であり、シフトレジスタ3aと、ラッチ3bと、アナログスイッチアレイ3cとを有している。この信号ドライバ3では、データ信号 XI が、クロックCKに基づいてシフトレジスタ3aにより転送され、シフ

トレジスタ3aの各出力段から出力される。

【0102】シフトレジスタ3aから出力された信号は、さらに負論理のラッチパルスLPに同期してラッチ3bで保持される。

【0103】ラッチ3bに保持された値が有意(例えばハイレベル)のときに、アナログスイッチアレイ3cにより、その値が出力される信号ラインに対応する信号電極 S_i にアクティブ電圧 V_{s1} が印加される。一方、ラッチ3bに保持された値が非有意(例えばローレベル)のときに、アナログスイッチアレイ3cにより、その値が出力される信号ラインに対応する信号電極 S_k ($k \neq i$)にノンアクティブ電圧 V_{s0} が印加される。

【0104】なお、本実施の形態においては、FLCDを例に挙げているが、本発明が他のメモリ性を有するマトリクス型表示装置に適用が可能であることは言うまでもない。

【0105】以下に、走査ドライバ2の各種の構成例について詳細に説明する。なお、以降に説明する各走査ドライバ2は、それぞれ4bitの時間分割階調表示を行うように構成されている。

【0106】(第1の走査ドライバ)図1に示すように、本走査ドライバ2は、15本の走査電極 $L_1 \sim L_{15}$ へ4bitの時間分割階調表示用の電圧を印加するように構成されている。制御回路2aは、シフトレジスタ11～14、AND回路101～115・201～215・301～315・401～415、フリップフロップ21～23、OR回路501～515およびインバータ601～615を備えている。

【0107】シフトレジスタ11～14には、信号ドライバ3に入力されるデータを構成する4つのbitがそれぞれビットデータ $DAT_1 \sim DAT_4$ として入力される。シフトレジスタ11は、ビットデータ DAT_1 をクロックCKに基づいて順次次段の出力にシフトさせて、15個の出力端子からシフト信号 $ASR_1 \sim ASR_{15}$ を出力するようになっている。シフトレジスタ12～14は、それぞれフリップフロップ21～23により1選択期間ずつ順次シフトされたクロックCKに基づいて順次次段の出力に移動させるようになっている。これにより、シフトレジスタ12～14のそれぞれの15個の出力端子から、シフト信号 $BSR_1 \sim BSR_{15}$ ・ $CSR_1 \sim CSR_{15}$ ・ $DSR_1 \sim DSR_{15}$ が出力される。

【0108】フリップフロップ21～23は、クロックCKFに基づいてクロックCKをシフトさせるようになっている。

【0109】第1論理積出力手段としてのAND回路101～115は、それぞれシフト信号 $ASR_1 \sim ASR_{15}$ とセレクト信号 SEL_1 との論理積をとるようになっている。AND回路201～215は、それぞれシフト信号 $BSR_1 \sim BSR_{15}$ とセレクト信号 SEL_2 との論理積をとるようになっている。AND回路301～31

5は、それぞれシフト信号 $CSR_1 \sim CSR_{15}$ とセレクト信号 SEL_3 との論理積をとるようになっている。AND回路401～415は、それぞれシフト信号 $DSR_1 \sim DSR_{15}$ とセレクト信号 SEL_4 との論理積をとるようになっている。

【0110】第1論理和出力手段としてのOR回路501～515は、AND回路101～115・201～215・301～315・401～415からの第 i （同一順位）の4つの積信号 $ASS_i \cdot SBS_i \cdot CSS_i \cdot DSS_i$ （ $i=1 \sim 15$ ）の論理和をとるようになっている。OR回路501～515からの各出力信号は、制御信号 $SVS_1 \sim SVS_{15}$ としてアナログスイッチアレイ2bに与えられる。

【0111】インバータ601～615は、OR回路501～515の次段に設けられている。これらのインバータ601～615は、OR回路501～515からの各制御信号 $SVS_1 \sim SVS_{15}$ を反転するようになっている。

【0112】アナログスイッチアレイ2bは、スイッチ $XSW_1 \sim XSW_{15}$ ・ $YSW_1 \sim YSW_{15}$ を有している。選択電圧用スイッチとしてのスイッチ $XSW_1 \sim XSW_{15}$ は、それぞれ制御信号 $SVS_1 \sim SVS_{15}$ によりON・OFF制御されるようになっている。非選択電圧用スイッチとしてのスイッチ $YSW_1 \sim YSW_{15}$ は、それぞれ制御信号 $SVS_1 \sim SVS_{15}$ がインバータ601～615により反転された反転制御信号によりON・OFF制御されるようになっている。

【0113】また、スイッチ $XSW_1 \cdot YSW_1$ 、スイッチ $XSW_2 \cdot YSW_2$ 、…、スイッチ $XSW_{15} \cdot YSW_{15}$ は、それぞれ対をなしており、走査電極 $L_1 \sim L_{15}$ に選択電圧 V_{c1} または非選択電圧 V_{c0} を印加するようになっている。具体的には、スイッチ $XSW_1 \sim XSW_{15}$ は、ハイレベルの制御信号 $SVS_1 \sim SVS_{15}$ が入力されるとONして選択電圧 V_{c1} を走査電極 $L_1 \sim L_{15}$ に出力する。一方、スイッチ $YSW_1 \sim YSW_{15}$ は、ハイレベルの反転制御信号が入力されるとONして非選択電圧 V_{c0} を走査電極 $L_1 \sim L_{15}$ に出力する。

【0114】上記のように構成される走査ドライバ2の動作を、図3に示すタイムチャートを参照して以下に説明する。

【0115】まず、クロックCKは、フリップフロップ21～23によって1選択期間ずつシフトされることにより4選択期間を1周期とするクロック $CK_1 \sim CK_4$ となり、各シフトレジスタ11～14に入力される。各ビットデータ $DAT_1 \sim DAT_4$ は、それぞれ必要な階調レベルに応じたタイミングでシフトレジスタ11～14に入力される。

【0116】シフトレジスタ11から出力される15個のシフト信号 $ASR_1 \sim ASR_{15}$ ・ $BSR_1 \sim BSR_{15}$ ・ $CSR_1 \sim CSR_{15}$ ・ $DSR_1 \sim DSR_{15}$ は、4選択

期間の幅を有している。シフト信号 $ASR_1 \sim ASR_{15}$ は、AND回路101～115で、それぞれセレクト信号 SEL_1 と

$$ASR_i \times SEL_i = ASS_i \quad (i=1 \sim 15)$$

なる論理積がとられることにより積信号 $ASS_1 \sim ASS_{15}$ に整形される。シフト信号 $BSR_1 \sim BSR_{15}$ ・ $CSR_1 \sim CSR_{15}$ ・ $DSR_1 \sim DSR_{15}$ も、同様に、AND回路201～215・301～315・401～415で、それぞれセレクト信号 $SEL_2 \sim SEL_4$ と論理積がとられることにより積信号 $SBS_1 \sim SBS_{15}$ ・ $CSS_1 \sim CSS_{15}$ ・ $DSS_1 \sim DSS_{15}$ に整形される。

【0117】続いて、上記の積信号 $ASS_i \cdot SBS_i \cdot CSS_i \cdot DSS_i$ （ $i=1 \sim 15$ ）は、OR回路501～515で

$$ASS_i + SBS_i + CSS_i + DSS_i = SVS_i$$

なる論理和がとられることにより、制御信号 SVS_1 としてアナログスイッチアレイ2bに供給される。また、制御信号 SVS_1 は、インバータ601～615で反転されて反転制御信号となり、アナログスイッチアレイ2bに供給される。

【0118】アナログスイッチアレイ2bでは、スイッチ XSW_i は、制御信号 SVS_i がハイレベルのときにONする。これにより、選択電圧 V_{c1} が、スイッチ XSW_i を介して走査ドライバ2の出力端子から出力され、走査電極 L_i に印加される。このとき、スイッチ YSW_i がOFFしているため、走査電極 L_i には非選択電圧 V_{c0} が印加されない。一方、スイッチ YSW_i は、制御信号 SVS_i がローレベルのときにONする。これにより、非選択電圧 V_{c0} が、スイッチ YSW_i を介して走査ドライバ2の出力端子から出力され、走査電極 L_i に印加される。

【0119】なお、図3に示すように、クロック $CK_1 \sim CK_4$ およびセレクト信号 $SEL_1 \sim SEL_4$ の位相がシフトレジスタ11～14毎に1選択期間ずつシフトしているため、4bitの選択電圧は互いに重なり合うことはない。

【0120】また、図3から分かるように、クロック $CK_1 \sim CK_4$ 、ビットデータ $DAT_1 \sim DAT_4$ およびセレクト信号 $SEL_1 \sim SEL_4$ はいずれも単純な波形である。

【0121】さらに、選択電圧は、上記の波形に基づいて動作する本走査ドライバ2から、図14に示された走査パターンと同じタイミングで出力される。これにより、例えば、走査電極 L_i の場合は、第2選択期間に第1bitのデータが表示され、第5選択期間に第4bitのデータが表示される。

【0122】それゆえ、本走査ドライバ2を用いることにより、単純な波形の入力信号を用いて時間分割階調表示を行うことができる。

【0123】(第2の走査ドライバ) 本走査ドライバ2は、図1に示すように、シフトレジスタ11~14までが前記の第1の走査ドライバと同様に構成され、それ以降が図4に示すように構成されている。

【0124】第1の走査ドライバと同等の構成および信号については、その説明を省略する。また、簡略化のため、図4においては、走査電極 L_1 についての処理系統の構成を中心に示す。

【0125】本走査ドライバ2における制御回路2aは、AND回路101~115と、AND回路101' 10
~115'、OR回路501・501'、論理回路群701を備えている。

【0126】AND回路101' (~115') は、それぞれ消去用のセレクト信号 BL_1 とシフト信号 $ASR_1 \sim ASR_{15}$ との論理積をとるようになっている。ブラ
ンク信号としてのセレクト信号 BL_1 ($BL_2 \sim BL_4$) は、セレクト信号 SEL_1 ($SEL_2 \sim SEL_4$) より1選択期間分位相が進んでいる。セレクト信
号 $BL_1 \sim BL_4$ は、セレクト信号 $SEL_1 \sim SEL_4$ と同様に1選択期間ずつシフトしているので、セレクト 20
信号 $SEL_1 \sim SEL_4$ と各選択期間内で重なり合わないようになっている。

【0127】OR回路501' は、AND回路101' からの積信号 ASB_1 およびAND回路101' と同順位の第2ないし第4bitに対応するAND回路からの積信号 $BSB_1 \sim DSB_1$ の論理和をとるようになっている。

【0128】信号出力手段としての論理回路群701は、それぞれEX-OR回路701aと、AND回路701bと、AND回路701b' と、インバータ701 30
cとからなっている。

【0129】論理回路群701において、EX-OR回路701aは、OR回路501・501' からの出力信号の排他的論理和をとるようになっている。AND回路701bは、OR回路501およびEX-OR回路701aからの2つの出力信号の論理積をとり、AND回路701b' は、OR回路501' およびEX-OR回路701aからの2つの出力信号の論理積をとるようになっている。インバータ701cは、EX-OR回路701aからの出力信号を反転するようになっている。

【0130】一方、アナログスイッチアレイ2bは、スイッチ $XSW_1 \cdot YSW_1$ に加えてスイッチ ZSW_1 を備えている。スイッチ XSW_1 は、AND回路701bの出力信号に基づいてON・OFF制御され、スイッチ YSW_1 は、インバータ701cの出力信号に基づいてON・OFF制御されるようになっている。そして、スイッチ ZSW_1 は、AND回路701b' の出力信号に基づいてON・OFF制御され、走査電極 L_1 へ消去電圧 V_{c2} を印加するようになっている。

【0131】上記のような構成は、図示はしないが、第 50

2ないし第4bitについても同様に設けられており、走査電極 $L_2 \sim L_{15}$ に対しても、選択電圧 V_{c1} 、非選択電圧 V_{c0} および消去電圧 V_{c2} の印加が行われる。

【0132】上記のように構成される走査ドライバ2においては、図1に示すシフトレジスタ11からのシフト信号 ASR_1 は、AND回路101' ~115' で、セレクト信号 BL_1 と、

$$ASR_1 \times BL_1 = ASB_1$$

なる論理積がとられる。このような論理積は、シフトレジスタ12~14からのシフト信号 $BSR_1 \cdot CSR_1 \cdot DSR_1$ に対してもとられ、その結果、積信号 $BSB_1 \cdot CSB_1 \cdot DSB_1$ が出力される。

【0133】続いて、OR回路501・501' では、積信号 $ASS_1 \sim DSS_1$ および積信号 $ASB_1 \sim DSB_1$ に対しそれぞれ

$$ASS_1 + BSS_1 + CSS_1 + DSS_1 = SVS_1$$

$$ASB_1 + BSB_1 + CSB_1 + DSB_1 = SVB_1$$

なる論理和がとられる。これにより、図5に示すように、選択電圧用の制御信号 SVS_1 と消去電圧用の制御信号 SVB_1 とがOR回路501・501' から出力される。

【0134】制御信号 SVS_1 がハイレベルのとき、制御信号 SVB_1 はローレベルとなる。このとき、ハイレベルの信号がEX-OR回路701aおよびAND回路701bから出力され、ローレベルの信号がAND回路701b' およびインバータ701cから出力される。したがって、スイッチ XSW_1 がONし、スイッチ $YSW_1 \cdot ZSW_1$ がOFFする。それゆえ、選択電圧 V_{c1} が、スイッチ XSW_1 のON期間に走査電極 L_1 に出力される。

【0135】制御信号 SVB_1 がハイレベルのとき、制御信号 SVS_1 はローレベルとなる。このとき、ハイレベルの信号がEX-OR回路701aおよびAND回路701b' から出力され、ローレベルの信号がAND回路701bおよびインバータ701cから出力される。したがって、スイッチ ZSW_1 がONし、スイッチ $XSW_1 \cdot YSW_1$ がOFFする。それゆえ、消去電圧 V_{c2} が、スイッチ ZSW_1 のON期間に走査電極 L_1 に出力される。

【0136】制御信号 $SVS_1 \cdot SVB_1$ がともにハイレベルまたはローレベルのとき、ローレベルの信号がEX-OR回路701aおよびAND回路701b・701b' から出力され、ハイレベルの信号がインバータ701cから出力される。したがって、スイッチ YSW_1 がONし、スイッチ $XSW_1 \cdot ZSW_1$ がOFFする。それゆえ、非選択電圧 V_{c0} が、スイッチ YSW_1 のON期間に走査電極 L_1 に出力される。

【0137】上記の動作は、走査電極 $L_2 \sim L_{15}$ に対しても同様に行われる。

【0138】このように、本走査ドライバ2では、同一

の走査電極 L_i において、消去電圧が印加された選択期間の次の選択期間に選択電圧が印加される。したがって、上記のように動作するときの走査パターンは図6に示すようになる。そして、この走査パターンから、走査電極 L_i に、消去電圧（図中、Bにて示す）が印加される選択期間の次の選択期間に選択電圧が印加され、その走査電極 L_i 上の画素には各bitのデータが表示されることが分かる。

【0139】それゆえ、本走査ドライバ2を用いることにより、単純な波形の入力信号を用いて、消去電圧を含んだ複雑な4bitの時間分割階調表示を行うことができる。

【0140】また、セレクト信号の数を増やすことにより選択電圧および消去電圧の電位を増やすことができる。ただし、同時に複数の走査電極 L_i を選択しない（例えば、選択電圧が印加される期間内に複数の電位が発生させる）ようにセレクト信号を制御回路2aに与える必要がある。

【0141】（第3の走査ドライバ）第3の走査ドライバ2は、図7に示すように、第2の走査ドライバにおけるシフト11～14の代わりに、選択用シフトレジスタ11a～14aと消去用シフトレジスタ11b～14bとを備えている。

【0142】なお、図7では、簡略化のために、第2ないし第4bitに対応する選択用シフトレジスタ12a～14aおよび消去用シフトレジスタ12b～14bを省略しているが、それらも、シフトレジスタ11a・11bと同様に構成される。

【0143】選択用シフトレジスタ11aには選択用のビットデータSDAT_iが入力され、消去用シフトレジスタ11bには消去用のビットデータBDAT_iが入力される。また両シフトレジスタ11a・11bには、ともに同じクロックCKが入力される。

【0144】AND回路101～115は、選択用シフトレジスタ11aからのシフト信号ASR_i～ASR_{i5}とセレクト信号SEL_iとの論理積をとるようになっている。第2論理積出力手段としてのAND回路101'～115'は、消去用シフトレジスタ11bからのシフト信号ABR_i～ABR_{i5}とセレクト信号BL_iとの論理積をとるようになっている。

【0145】本走査ドライバ2においては、AND回路101～115・101'～115'以降の回路が、第2の走査ドライバと同様に構成されている。したがって、その回路についての説明は省略する。

【0146】上記のように構成される走査ドライバ2においては、選択用シフトレジスタ11aからのシフト信号ASR_i～ASR_{i5}は、AND回路101～115により、セレクト信号SEL_iと、 $ASR_i \times SEL_i = ASS_i$ なる論理積がとられる。このような論理積は、選択用シ

フトレジスタ12a～14aからのシフト信号BSR_i・CSR_i・DSR_iに対してもとられ、その結果、積信号BSS_i・CSS_i・DSS_iが出力される。

【0147】一方、消去用シフトレジスタ11bからのシフト信号ABR_i～ABR_{i5}は、AND回路101'～115'により、セレクト信号BL_iと、 $ABR_i \times BL_i = ASB_i$

なる論理積がとられる。このような論理積は、消去用シフトレジスタ12b～14bからのシフト信号BBR_i・CBR_i・DBR_iに対してもとられ、その結果、積信号BSB_i・CSB_i・DSB_iが出力される。

【0148】続いて、OR回路501・501'では、積信号ASS_i～DSS_i、および積信号ASB_i～DSB_iに対し、それぞれ第2の走査ドライバと同様にして論理和がとられる。これにより、選択電圧用の制御信号SVS_iと消去電圧用の制御信号SVB_iとがOR回路501・501'から出力される。

【0149】このように、本走査ドライバ2は、選択用シフトレジスタ11a（12a～14a）および消去用シフトレジスタ11b（12b～14b）を備えて、セレクト信号SEL_iとの論理積をとるためのシフト信号と、セレクト信号BL_iとの論理積をとるためのシフト信号とを個別に得ている。これにより、4bitの時間分割階調表示を行う場合、選択電圧と消去電圧との間隔を、第2の走査ドライバのように固定（最大で2選択期間）することなく、任意に設定することができる。それゆえ、選択電圧と消去電圧の間隔を、第2の走査ドライバから出力される選択電圧と消去電圧の間隔より大きくすることが可能になる。

【0150】（第4の走査ドライバ）第4の走査ドライバ2は、図1に示すように、シフトレジスタ11～14までが前記の第1の走査ドライバと同様に構成され、図4に示すように、AND回路501・501'以降の回路が第2の走査ドライバと同様に構成されている。その間の回路は、図8に示すように構成されている。

【0151】本走査ドライバ2は、図8に示すように、第1論理積出力手段としてのAND回路901・902および第2論理積出力手段としてのAND回路901'・902'と、インバータ921・922とを備えている。なお、AND回路903～915・903'～915'は便宜上図中より省略する。また、シフトレジスタ11～14には、上記の回路に加えて、それぞれAND回路903～915・903'～915'とインバータ921・922とからなる回路が接続されているものとする。

【0152】奇数順位のAND回路901・903…は、シフトレジスタ11～14からの奇数順位のシフト信号SR_i（iは奇数）と、セレクト信号SEL_k（k=1～4）と、後述する識別信号S/B_kとの論理積をとるようになっている。奇数順位のAND回路901'

・903'…は、上記のシフト信号 SR_i と、セレクト信号 BL_k と、識別信号 S/B_k がインバータ921による否定出力すなわち否定識別信号 $\#S/B_k$ との論理積をとるようになっている。

【0153】偶数順位のAND回路902・904…

は、シフトレジスタ11～14からの偶数順位のシフト信号 SR_{i+1} と、セレクト信号 SEL_k と、識別信号 S/B_k がインバータ922による否定出力すなわち否定識別信号 $\#S/B_k$ との論理積をとるようになっている。偶数順位のAND回路902・904…は、シフト

レジスタ11～14からの偶数順位のシフト信号 SR_{i+1} と、セレクト信号 BL_k と、識別信号 S/B_k との論理積をとるようになっている。

【0154】本走査ドライバ2では、シフトレジスタ11～14に入力されるビットデータDATは、1フレーム内で選択用と消去用との2種類の情報を含んでいる。また、識別信号 S/B_k における2種類のパルスを識別するための信号である。識別信号 S/B_k は、ビットデータDATの選択用のパルスおよび消去用のパルスの期間が4選択期間（基本選択期間）の偶数倍であればその2倍の8選択期間分の周期を有し、奇数倍であればその3倍の12選択期間分の周期を有するクロックである。

【0155】上記のように構成される走査ドライバ2において、シフトレジスタ11～14から出力される奇数順位のシフト信号 SR_i （ $ASR_i \sim DSR_i$ ）は、奇数順位のAND回路901（903'…）で、セレクト信号 SEL_k および識別信号 S/B_k と

$$SR_i \times S/B_k \times SEL_k = SS_i$$

なる論理積がとられる。

【0156】また、上記の奇数順位のシフト信号 SR_i は、AND回路901'（903'…）で、セレクト信号 BL_k および否定識別信号 $\#S/B_k$ と

$$SR_i \times \#S/B_k \times BL_k = SB_i$$

なる論理積がとられる。

【0157】一方、シフトレジスタ11～14から出力される偶数順位のシフト信号 SR_{i+1} （ $ASR_{i+1} \sim DSR_{i+1}$ ）は、偶数順位のAND回路902（904'…）で、セレクト信号 SEL_k および否定識別信号 $\#S/B_k$ と

$$SR_{i+1} \times \#S/B_k \times SEL_k = SS_{i+1}$$

なる論理積がとられる。

【0158】また、上記の偶数順位のシフト信号 SR_{i+1} は、AND回路902'（904'…）で、セレクト信号 BL_k および識別信号 S/B_k と

$$SR_{i+1} \times S/B_k \times BL_k = SB_{i+1}$$

なる論理積がとられる。

【0159】ここで、図9に示す場合は、ビットデータDAT_iにおける選択用および消去用の情報が同じパルスに含まれ、その期間（幅）が8選択期間（基本選択期間の2倍）である。また、識別信号 S/B_k は、8選択

期間分の周期となる。この場合では、ビットデータDAT_iの1つのパルスを用いて上記の論理積をとることにより、選択用の積信号 $SS_i \cdot SS_{i+1}$ および積信号 $SS_i \cdot SS_{i+1}$ のそれぞれ前の期間に位置する消去用の積信号 $SB_i \cdot SB_{i+1}$ が得られる。

【0160】また、図10に示す場合は、ビットデータDAT_iにおける選択用および消去用の情報が異なるパルスに含まれ、その期間（幅）が4選択期間（基本選択期間の1倍）である。また、識別信号 S/B_k は、12選択期間分の周期となる。この場合では、ビットデータDAT_iの2つのパルスを用いて上記の論理積をとることにより、選択用の積信号 $SS_i \cdot SS_{i+1}$ および積信号 $SS_i \cdot SS_{i+1}$ のそれぞれ前の期間に位置する消去用の積信号 $SB_i \cdot SB_{i+1}$ が得られる。

【0161】このようにして得られた積信号 SS_i は、偶数順位と奇数順位の違いはなくなり、第3の走査ドライバで得られる積信号と同様に扱われる。したがって、OR回路501・501'で、積信号 $ASS_i \sim DSS_i$ および積信号 $ASB_i \sim DSB_i$ に対しそれぞれ論理和がとられることにより、選択電圧用の制御信号 SVS_i と消去電圧用の制御信号 SVB_i とが得られる。

【0162】上記のように、本走査ドライバ2では、シフトレジスタ11～14に与えるビットデータDATに選択用および消去用の情報を持たせるとともに、AND回路の出力を奇数順位と偶数順位とに分けてそれぞれについて個別に論理積をとることにより、選択用の積信号と消去用の積信号とを得ている。それゆえ、第1の走査ドライバと同様に構成されるシフトレジスタを用いて、シフトレジスタの数を増やすことなく第3の走査ドライバと同様に選択電圧と消去電圧の間隔を任意に設定することができる。

【0163】なお、本走査ドライバ2においても、クロックCK、セレクト信号 $SEL \cdot BL$ および識別信号 S/B_k の位相がシフトレジスタ11～14毎に1選択期間ずつシフトしているので、4bitの選択電圧は互いに重なり合うことはない。

【0164】（第5の走査ドライバ）図11に示すように、本走査ドライバ2において、制御回路2aは、フリップフロップ31…、フリップフロップ32…、論理回路群41…、論理回路群42…、論理回路群43…およびNAND回路44を備えている。なお、図11には、シフトレジスタの3段分の構成を示している。

【0165】本走査ドライバ2には、選択用の信号として、3つの連続する選択期間のうち最初の選択期間用のセレクト信号SLFおよび最後の選択期間用のセレクト信号SLLが入力される。また、本走査ドライバ2には、消去用の信号として、3つの選択期間の最初の選択期間用のセレクト信号BLFおよび最後の選択期間用のセレクト信号BLLが入力される。さらに、本走査ドライバ2には、ハイインピーダンス信号SHEが入力され

る。

【0166】フリップフロップ31…は、選択用のシフトレジスタを構成しており、図12に示すクロックCK_sの2周期以上の幅を有するビットデータDSをクロックCK_sに同期して順次シフトさせるようになっている。一方、フリップフロップ32…は、消去用のシフトレジスタを構成しており、クロックCK_eの2周期以上の幅を有するビットデータBSをクロックCK_eに同期して順次シフトさせるようになっている。

【0167】上記のクロックCK_s・CK_eは、同一周期であるが、位相はずれていても差し支えない。

【0168】論理回路群41は、AND回路41a～41cと、OR回路41dとからなっており、それぞれは3つの入力を有している。第1論理積出力手段としてのAND回路41aは、隣り合う3つのフリップフロップ31・31・31に接続されている。

【0169】AND回路41b・41cは、それぞれ1つの否定入力を有している。AND回路41bの否定入力には、AND回路41aに接続される3つのフリップフロップ31・31・31のうち最前段のフリップフロップ31に接続されている。また、AND回路41cの否定入力には、上記の3つのフリップフロップ31・31・31のうち最後段のフリップフロップ31に接続されている。

【0170】第3論理積出力手段としてのAND回路41bは、上記の3つのフリップフロップ31・31・31のうち前段の2つのフリップフロップ31・31とセレクト信号SLLの供給ラインとに接続されている。第2論理積出力手段としてのAND回路41cは、上記の3つのフリップフロップ31・31・31のうち後段の2つのフリップフロップ31・31とセレクト信号SLFの供給ラインとに接続されている。

【0171】第1論理和出力手段としてのOR回路41dは、AND回路41a～41cの出力に接続されている。

【0172】論理回路群42は、AND回路42a～42cと、OR回路42dとからなっており、それぞれは3つの入力を有している。第4論理積出力手段としてのAND回路42aは、隣り合う3つのフリップフロップ32・32・32に接続されている。AND回路42b・42cは、それぞれ1つの否定入力を有しており、各論理回路群42毎に異なる組み合わせで信号が入力されるようになっている。

【0173】第5論理積出力手段としてのAND回路42bは、AND回路42aに接続された3つのフリップフロップ32・32・32のうち前段の2つのフリップフロップ32・32とセレクト信号BLFの供給ラインとに接続されている。第6論理積出力手段としてのAND回路42cは、上記の3つのフリップフロップ32・32・32のうち後段の2つのフリップフロップ32・

32とセレクト信号BLLの供給ラインとに接続されている。OR回路42dは、AND回路42a～42cの出力に接続されている。

【0174】OFF手段としてのNAND回路44dは、上記の3つのフリップフロップ31・31・31のうち後段の2つのフリップフロップ31・31とハイインピーダンス信号SHEの供給ラインとに接続されている。ただし、NAND回路44dにおいて、3つのフリップフロップ31・31・31のうち最後段のフリップフロップ31に接続される入力は、否定入力となっている。

【0175】信号出力手段としての論理回路群43は、EX-OR回路43aと、AND回路43b～43eとからなっている。EX-OR回路43aは、OR回路41d・41dの出力に接続されている。AND回路43b～43dは、ともにNAND回路44の出力およびEX-OR回路43aの出力に接続されている。ただし、AND回路43dの一方の入力は否定入力である。また、AND回路43bはOR回路41dの出力に接続され、AND回路43cはOR回路42dの出力に接続されている。

【0176】上記のように構成される走査ドライバ2の動作を図12に示すタイムチャートを参照に説明する。

【0177】ビットデータDSがフリップフロップ31…により順次にシフトされると、隣り合う3本の図示しない走査電極L_{i-1}・L_i・L_{i+1}に対応した信号をシフト信号SR_{i-1}・SR_i・SR_{i+1}が出力される。また、論理回路群41では、シフト信号SR_{i-1}・SR_i・SR_{i+1}とセレクト信号SLF・SLLを用いて、 $(SR_{i-1} \times SR_i \times SLF) + (SR_{i-1} \times SR_i \times SR_{i+1}) + (SR_i \times SR_{i+1} \times SLL) = SS_i$ なる論理演算が行われる。この結果、走査電極L_iに対応した選択電圧用の制御信号SS_iが得られる。

【0178】一方、ビットデータDBがフリップフロップ32…により順次にシフトされると、3本の走査電極L_{i-1}・L_i・L_{i+1}に対応した信号をシフト信号BR_{i-1}・BR_i・BR_{i+1}が出力される。また、論理回路群42では、シフト信号BR_{i-1}・BR_i・BR_{i+1}とセレクト信号BLF・BLLとを用いて

$(BR_{i-1} \times BR_i \times BLF) + (BR_{i-1} \times BR_i \times BR_{i+1}) + (BR_i \times BR_{i+1} \times BLL) = SB_i$ なる論理演算が行われる。この結果、走査電極L_iに対応した消去電圧用の制御信号SB_iが得られる。

【0179】また、NAND回路44では、シフト信号SR_i・SR_{i+1}とハイインピーダンス信号SHEとを用いて

$(SR_i \times SR_{i+1} \times SHE) = SE_i$ なる論理演算が行われる。この結果、走査電極L_iに対応した電圧印加中断用の制御信号SE_iが得られる。

【0180】論理回路群43では、上記のようにして得

られた制御信号 $SS_i \cdot SB_i \cdot SE_i$ を用いて論理演算が行われる。

【0181】これにより、制御信号 $SS_i \cdot SE_i$ がハイレベルであり制御信号 SB_i がローレベルであるとき、スイッチ XSW_i がONし、スイッチ ZSW_i がOFFする。これにより、選択電圧 V_{ci} が本走査ドライバ2の出力電圧 HV_i として出力される。一方、制御信号 $SB_i \cdot SE_i$ がハイレベルであり制御信号 SS_i がローレベルであるとき、スイッチ ZSW_i がONし、スイッチ XSW_i がOFFするので、消去電圧 V_{ce} が出力される。スイッチ YSW_i は、上記のいずれのときにもOFFしている。

【0182】また、制御信号 $SS_i \cdot SB_i \cdot SE_i$ がともにローレベルであるとき、スイッチ $XSW_i \cdot ZSW_i$ がOFFし、スイッチ YSW_i がONするので、非選択電圧 V_{co} が出力される。

【0183】このように、本走査ドライバ2では、連続して出力される3つシフト信号 $SR_{i-1} \cdot SR_i \cdot SR_{i+1}$ の論理積とセレクト信号 $SLF \cdot SLL$ とを組み合わせることにより、同じ選択期間で隣り合う2つの制御信号 SS をハイレベルにすることができる。また、連続して出力される3つのシフト信号 $BR_{i-1} \cdot BR_i \cdot BR_{i+1}$ の論理積とセレクト信号 $BLF \cdot BLL$ とを組み合わせることにより、同じ選択期間で隣り合う2つの制御信号 SB をハイレベルにすることができる。

【0184】したがって、同一の走査電極 L_i に対し2つ以上の選択期間にわたって電圧を印加することができる。

【0185】一方、上記の走査ドライバ2では、制御信号 SE_i がローレベルであるとき、上記のいずれのときにもスイッチ $XSW_i \cdot YSW_i \cdot ZSW_i$ がOFFする。このとき、走査ドライバ2の出力端子がハイインピーダンスになっているので、本走査ドライバ2から電圧が出力されなくなる。本走査ドライバ2の負荷となる液晶パネル1が容量性の負荷であることから、ハイインピーダンスの状態では、この容量性負荷に保持された電荷は容易に放電されずに維持される。したがって、出力端子がハイインピーダンスとなる直前の電圧を維持することができる。

【0186】また、液晶パネル1（容量性負荷）では、スイッチ YSW_i がONからOFFに変化し、スイッチ XSW_i がOFFからONに変化しても、出力端子の電圧はすぐに選択電圧 V_{ci} に達することではなく、数 μs かけて選択電圧 V_{ci} に達する。

【0187】そこで、図12に示すように、出力電圧 V_{Hi} が非選択電圧 V_{co} から選択電圧 V_{ci} に変化する途中でスイッチ XSW_i をOFFさせれば、スイッチ XSW_i がOFFしている間はそのときの電圧が維持される。これにより、非選択電圧 V_{co} から選択電圧 V_{ci} までの任意の電圧レベルを液晶パネル1に印加することができ

る。

【0188】また、制御信号 SB_i がハイレベルであるときでも、上記と同様に、スイッチ ZSW_i をOFFさせれば、非選択電圧 V_{co} から消去電圧 V_{ce} までの任意の電圧レベルを液晶パネル1に印加することができる。

【0189】なお、上記のように出力端子をハイインピーダンスにする構成は、制御回路2aの出力段にAND回路を備える第2ないし第4の走査ドライバに適用が可能である。この場合、出力段の2入力のAND回路が、ハイインピーダンス信号 SH_i の入力が可能となるように3入力のAND回路に置き換えられる。

【0190】〔第2の実施の形態〕本発明の実施の他の形態について図13に基づいて説明すれば、以下の通りである。

【0191】本実施の形態においては、前述の第1の実施の形態における第2または第3の走査ドライバ（図4または図7参照）で用いたOR回路501・501'までの回路と同様に構成されており、それ以降の回路がアナログスイッチアレイ2bを含めて図13に示す反転増幅器51回路に置き換えられている。

【0192】この反転増幅器51は、オペレーショナルアンプ（以降、単にOPアンプと称する）52と、抵抗 $R_1 \sim R_3$ とを備えている。OPアンプ52の反転入力端子には、抵抗 R_1 を介して信号 SV_1 が入力されるとともに、抵抗 R_1 と並列に接続される抵抗 R_2 を介して信号 SV_2 が入力されるようになっている。また、OPアンプ52の非反転入力端子には、10Vの基準電圧 V が入力されている。そして、OPアンプ52の出力端子は、走査電極 L_i に接続されるとともに、抵抗 R_3 を介して上記の反転入力端子に接続されている。

【0193】上記の信号 $SV_1 \cdot SV_2$ は、それぞれ第2の走査ドライバにおける制御信号 $SVS_i \cdot SVB_i$ に相当する信号である。なお、本走査ドライバ2においては、選択用、消去用に関係なく制御信号として使用するので上記の信号を $SV_1 \cdot SV_2$ と称している。

【0194】本走査ドライバでは、選択電圧として10Vおよび5V、消去電圧として-5V、非選択電圧として0Vが得られるように構成されている。このため、抵抗 $R_1 \cdot R_2 \cdot R_3$ の抵抗値は、それぞれ R_0 と $R_0/2$ と R_0 に設定されている。また、信号 $SV_1 \cdot SV_2$ は、“High”および“Low”のとき、それぞれV（10V）および V_0 （15V）の電圧である。

【0195】上記のように構成される本走査ドライバにおいて、OPアンプ52の出力電圧 V_{oi} は、次式にて表される。

$$V_{oi} = (V_0 - V_s) R_0 \cdot \Sigma (P_n / R_n) + V_0$$

上式において、 P_n は信号 SV_n の論理状態を表し、“0”または“1”である。また、 R_n は上記の回路における各抵抗の抵抗値を表す。さらに、 $\Sigma (P_n /$

R_n) は、 P_n / R_n の総和を表す。

【0197】例えば、信号 SV_1 が“High”であり、信号 SV_2 が“Low”である場合、OPアンプ52の出力電圧 V_{out} は、 $V_o = 10V$ 、 $V_s = 15V$ 、 $P_1 = 1$ および $P_2 = 0$ であることから、 $V_{out} = (10 - 15) R_o (1/R_o + 0/R_o + 2) + 10 = 5V$ となる。

【0198】このように、本走査ドライバでは、信号 $SV_1 \cdot SV_2$ の値（論理値）を表1のように組み合わせることにより、4つの電圧、すなわち（2つの選択電圧、非選択電圧および消去電圧）を得ることができる。表1から、入力信号が2つであるにもかかわらず、出力信号として4（ $= 2^2$ ）種類の電圧が出力されることがわかる。

【0199】

【表1】

SV_1	SV_2	V_{out}
L	L	10V（選択電圧）
H	L	5V（選択電圧）
L	H	0V（非選択電圧）
H	H	-5V（消去電圧）

【0200】第1の実施の形態における各走査ドライバのようにアナログスイッチアレイを用いた構成では、制御信号およびそれにより開閉するスイッチに必要な電圧の数だけ増えるので、回路規模が大きくなりがちである。これに対し、本走査ドライバによれば、信号数を増やすことなく、走査電極 L_i に印加するための多種の電圧を得ることができる。したがって、本走査ドライバを用いれば、アナログスイッチアレイを用いる走査ドライバに比べて回路規模を小さくすることができる。

【0201】なお、本実施の形態に係る走査ドライバに入力される信号の数は、2であるが、これに限定されることなく1あるいは3以上であってもよい。信号数が1である場合、上記の構成を第1の実施の形態における第1の走査ドライバに適用することができる。この場合、制御信号 SV_S が抵抗を介してOPアンプに入力される。また、信号数が3である場合、上記の構成を第1の実施の形態における第5の走査ドライバに適用することができる。この場合、制御信号 $SS_i \cdot SB_i \cdot SE_i$ がそれぞれ異なる抵抗を介してOPアンプに入力される。

【0202】

【発明の効果】以上のように、本発明の請求項1に係るマトリクス型表示装置の駆動回路は、 n 個のシフトレジスタにより、 n 選択期間の幅を有するデータ信号を n 選

択期間の周期を有するクロックに同期してシフトさせて走査電極の数と同数のシフト信号を出力し、第1論理積出力手段にて、選択電圧印加期間を決定するための一定周期の n 個のセレクト信号のうちの1つと上記シフト信号との論理積をとり、さらに、第1論理和出力手段にて、上記各シフトレジスタからの出力順位が同じシフト信号に基づく論理積同士の論理和をとるように構成されている。

【0203】これにより、 n 選択期間毎に走査電極に応じて順番にシフトする信号が生成される。それゆえ、 n bitのデータの各bitについて個別に走査電極を選択することにより時間分割階調表示を行う場合、各bit毎にシフトレジスタおよびセレクト信号を用意すれば、図14の走査パターンによる走査方法のように、4選択期間毎に順番に走査電極に選択電圧を印加することができる。したがって、請求項1に係る駆動回路を採用すれば、単純な入力信号によって時間分割階調表示を可能にすることができるという効果を奏する。

【0204】本発明の請求項2に係るマトリクス型表示装置の駆動回路は、請求項1に係る駆動回路において、第2論理積出力手段にて、消去電圧印加期間を決定するための一定周期の n 個のブランク信号のうちの1つと上記シフト信号との論理積をとり、さらに、第2論理和出力手段にて、上記各シフトレジスタからの出力順位が同じシフト信号に基づく上記第2論理積出力手段からの論理積同士の論理和をとるように構成されている。

【0205】これにより、請求項1に係る駆動回路と同様に、シフト信号およびブランク信号に基づいて、 n 選択期間毎に走査電極に応じて順番にシフトする信号が生成される。それゆえ、その信号により消去電圧の出力を制御すれば、4選択期間毎に順番に走査電極に消去電圧を印加することができる。したがって、請求項2に係る駆動回路を採用すれば、単純な入力信号により、消去電圧を含んだ複雑な n bitの時間分割階調表示を実現することができるという効果を奏する。

【0206】本発明の請求項3に係るマトリクス型表示装置の駆動回路は、 n 個の選択用シフトレジスタおよび n 個の消去用シフトレジスタにより、 n 選択期間の幅を有する選択用データ信号と消去用データとをそれぞれ n 選択期間の周期を有するクロックに同期してシフトさせて走査電極の数と同数の選択用シフト信号を出力し、第1論理積出力手段にて、選択電圧印加期間を決定するための一定周期の n 個のセレクト信号のうちの1つと上記選択用シフト信号との論理積をとる一方、第2論理積出力手段にて、消去電圧印加期間を決定するための一定周期の n 個のブランク信号のうちの1つと上記消去用シフト信号との論理積をとり、さらに、第1論理和出力手段にて、上記選択用シフトレジスタからの出力順位が同じ選択用シフト信号に基づく上記第1論理積出力手段からの論理積同士の論理和をとる一方、第2論理和出力手段

にて、上記消去用シフトレジスタからの出力順位が同じ消去用シフト信号に基づく上記第2論理積出力手段からの論理積同士の論理和をとるように構成されている。

【0207】これにより、 n 選択期間毎に走査電極に応じて順番にシフトする2種類の信号が生成される。それゆえ、本駆動回路では、請求項2に係る駆動回路と同様、上記の信号を用いて4選択期間毎に順番に走査電極に選択電圧と消去電圧とを印加することができる。また、選択用と消去用にそれぞれ専用のシフトレジスタを備えることにより、選択用データ信号と消去用データ信号のタイミングの設定を種々組み合わせれば、選択電圧と消去電圧との間隔を任意に設定することができる。したがって、請求項3に係る駆動回路を採用すれば、より自由度の高い時間分割階調表示を実現することができるという効果を奏する。

【0208】本発明の請求項4に係るマトリクス型表示装置の駆動回路は、 n 個のシフトレジスタにより、 n 選択期間の整数倍の幅を有し2種類の情報を有するデータ信号を n 選択期間の周期を有するクロックに同期してシフトさせて走査電極の数と同数のシフト信号を出力し、第1論理積出力手段にて、選択電圧印加期間を決定するための一定周期の n 個のセレクト信号のうちの1つと上記シフト信号と上記データ信号に含まれる情報を識別する識別信号との論理積をとり、第2論理積出力手段にて、消去電圧印加期間を決定するための一定周期の n 個のブランク信号のうちの1つと上記シフト信号と上記識別信号との論理積をとり、このとき、否定入力手段により、上記識別信号の入力状態を、各順位の上記第1および第2論理積出力手段の間で互いに否定となるようにし、かつ上記第1および第2論理積出力手段の奇数順位と偶数順位の間でも互いに否定となるようにし、第1および第2論理和出力手段にて、上記シフトレジスタからの出力順位が同じシフト信号に基づく上記第1および第2論理積出力手段からの論理積同士の論理和をそれぞれとるように構成されている。

【0209】これにより、シフト信号およびセレクト信号に識別信号を加えた3つの信号の論理積がとられるので、1種類のデータ信号によっても、 n 個のシフトレジスタを用いて請求項3に係る駆動回路と同様な2種類の信号を生成することができる。しかも、選択電圧と消去電圧の間隔を任意に設定することができる。したがって、請求項4に係る駆動回路を採用すれば、簡単な構成で、より自由度の高い時間分割階調表示を実現することができるという効果を奏する。

【0210】本発明の請求項5に係るマトリクス型表示装置の駆動回路は、選択用シフトレジスタにより、クロックの2周期以上の幅を有する選択用データ信号をクロックに同期してシフトさせて走査電極の数と同数の選択用シフト信号を出力し、第1論理積出力手段にて隣り合う3つの上記選択用シフト信号の論理積をとり、第2論

理積出力手段にて上記3つの選択用シフト信号のうち出力順位が第1および第2の選択用シフト信号と隣り合う3本の走査電極のうちの1本の特定の走査電極に最初に選択電圧を印加するときに選択電圧印加期間を決定するための一定周期の第1セレクト信号との論理積をとり、第3論理積出力手段にて上記3つの選択用シフト信号のうち出力順位が第2および第3の選択用シフト信号と上記特定の走査電極に最後に選択電圧を印加するときに選択電圧印加期間を決定するための一定周期の第2セレクト信号との論理積をとり、さらにこれらの論理積の論理和を第1論理和出力手段にてとるように構成されている。

【0211】これにより、隣り合う3本の走査電極のうちの特定の走査電極について、最初と最後に選択電圧が印加されるそれぞれ2つの選択期間と、その間の選択期間とが区別されるので、選択電圧を2つ以上の選択期間にわたって任意の持続時間で印加することができる。したがって、請求項5に係る駆動回路を採用すれば、Malvern 駆動法のように選択電圧の持続時間が選択期間より長くなる駆動方法を適用する場合でも、容易に走査電極に選択電圧を印加することができ、ドライバICによる階調表示を実現することができるという効果を奏する。

【0212】本発明の請求項6に係るマトリクス型表示装置の駆動回路は、消去用シフトレジスタにより、上記クロックの2周期以上の幅を有し、上記選択用データ信号と位相の異なる消去用データ信号をクロックに同期してシフトさせて走査電極の数と同数の消去用シフト信号を出力し、第4論理積出力手段にて隣り合う3つの上記消去用シフト信号の論理積をとり、第5論理積出力手段にて上記3つの消去用シフト信号のうち出力順位が第1および第2の消去用シフト信号と上記特定の走査電極に最初に消去電圧を印加するときに消去電圧印加期間を決定するための一定周期の第1ブランク信号との論理積をとり、第6論理積出力手段にて上記3つの消去用シフト信号のうち出力順位が第2および第3の消去用シフト信号と上記特定の走査電極に最後に消去電圧を印加するときに消去電圧印加期間を決定するための一定周期の第2ブランク信号との論理積をとり、さらにこれらの論理積の論理和を第2の論理和出力手段にてとるように構成されている。

【0213】これにより、消去電圧についても、請求項5に係る駆動回路と同様に、選択期間より長い期間の印加を可能にすることができる。したがって、請求項7に係る駆動回路を採用すれば、消去電圧の持続時間が選択期間より長くなる駆動方法を適用する場合でも、容易に走査電極に消去電圧を印加することができるという効果を奏する。

【0214】本発明の請求項7に係るマトリクス型表示装置の駆動回路は、請求項2、3、4または6に係る駆動回路において、上記第1および第2論理和出力手段か

らの論理和に基づいていずれか1つのみ有意となる3つの信号を出力する信号出力手段と、上記3つの信号のそれぞれによりON/OFFが制御され、上記信号が有意のときONすることにより選択電圧、非選択電圧および消去電圧を個別に上記走査電極に印加する選択電圧用スイッチ、非選択電圧用スイッチおよび消去電圧用スイッチとをさらに備えている構成である。

【0215】これにより、2つの論理和に基づいて3つの信号を得て、その信号により、選択電圧、非選択電圧および消去電圧のうち1つを出力することができる。したがって、請求項7に係る駆動回路を採用すれば、入力信号数より多い電圧を走査電極に印加することができ、入力信号を有効に利用することができるという効果を奏する。

【0216】本発明の請求項8に係るマトリクス型表示装置の駆動回路は、請求項7に係る駆動回路において、上記選択電圧用スイッチに与えられる上記信号が有意であるときに、上記選択電圧用スイッチをOFFさせるOFF手段をさらに備えている構成である。また、本発明の請求項9に係るマトリクス型表示装置の駆動回路は、請求項7に係る駆動回路において、上記消去電圧用スイッチに与えられる上記信号が有意であるときに、上記消去電圧用スイッチをOFFさせるOFF手段をさらに備えている構成である。

【0217】これにより、本駆動回路が液晶パネルのような容量性の負荷を駆動する場合、上記の選択電圧制御信号が有意のときでも、選択電圧用スイッチをOFFさせると、液晶パネルに接続される本駆動回路の選択電圧用出力端子がハイインピーダンスになる。また、消去電圧用出力端子も同様にハイインピーダンスになる。それゆえ、ハイインピーダンスとなった出力端子では、その直前の電圧レベルが維持される。したがって、選択電圧用スイッチまたは消去電圧用スイッチをOFFさせるタイミングを調整すれば、任意の電圧レベルを液晶パネルへ印加することが可能になる。したがって、請求項8または9に係る駆動回路を採用すれば、選択電圧または消去電圧の電圧レベルを所望の値に容易に設定することができ、より多彩な時間分割階調表示を行うことができるという効果を奏する。

【0218】本発明の請求項10に係るマトリクス型表示装置の駆動回路は、請求項2、3、4または6に係る駆動回路において、反転入力端子に入力される上記第1および第2論理和出力手段からのそれぞれの論理和に基づく電圧の和と非反転入力端子に入力される基準電圧との差を所定の増幅度で増幅する反転増幅器をさらに備えている構成である。

【0219】これにより、 m 個の入力電圧を論理レベルで表すと、その論理レベルの組み合わせは2の m 乗であるため、反転増幅器の出力電圧は2の m 乗の種類の電位となる。それゆえ、少ない信号で多くの電位を発生するこ

とができ、多種類の出力電圧を得る際に、入力信号数を減らすとともに、請求項7に係る駆動回路で用いたようなスイッチ等を省くことができる。したがって、請求項10に係る駆動回路を採用すれば、駆動回路の規模縮小化を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る第1の走査ドライバの構成を示す回路図である。

【図2】本発明の実施の一形態に係る液晶表示装置の液晶パネルを中心とした構成を示すブロック図である。

【図3】上記第1の走査ドライバにより走査電極 L_i に電圧を印加する場合の動作を示すタイムチャートである。

【図4】本発明の実施の一形態に係る第2の走査ドライバの構成の一部を示す回路図である。

【図5】上記第2の走査ドライバにより走査電極 L_i に電圧を印加する場合の動作を示すタイムチャートである。

【図6】上記第2の走査ドライバによる走査パターンを示す説明図である。

【図7】本発明の実施の一形態に係る第3の走査ドライバの構成の一部を示す回路図である。

【図8】本発明の実施の一形態に係る第4の走査ドライバの構成の一部を示す回路図である。

【図9】上記第4の走査ドライバの動作例を示すタイムチャートである。

【図10】上記第4の走査ドライバの他の動作例を示すタイムチャートである。

【図11】本発明の実施の一形態に係る第5の走査ドライバの構成の一部を示す回路図である。

【図12】上記第5の走査ドライバの動作例を示すタイムチャートである。

【図13】本発明の実施の他の形態に係る走査ドライバの構成の一部を示す回路図である。

【図14】従来のFLCDおよび本発明の実施の一形態に係るFLCDの走査ドライバによる走査パターンを示す説明図である。

【図15】従来のFLCDが有する液晶パネルの構成を示す断面図である。

【図16】従来のFLCDの上記液晶パネルを中心とした構成を示すブロック図である。

【図17】上記の液晶パネルに封入される強誘電性液晶の分子のガラス基板から見た状態を示す説明図および強誘電性液晶の分子のスメクチックC相における状態を示す斜視図である。

【図18】上記強誘電性液晶のスイッチング特性を示すグラフである。

【図19】図18のスイッチング特性を測定する際に用いるパルス電圧の波形を示す波形図である。

【図20】図16のFLCDの駆動方法として好適なJ0

ERS/Alvey 駆動法における第1および第2フィールドでの駆動電圧の波形を示す波形図である。

【図21】図16のFLCDに適用されるMalvern 駆動法における列電圧およびJOERS/Alvey 駆動法における列電圧を示す波形図である。

【図22】図16のFLCDに適用されるブランキング 駆動法における非スイッチング状態およびスイッチング状態での駆動電圧の波形を示す波形図である。

【符号の説明】

11~14	シフトレジスタ	10
11a	選択用シフトレジスタ (第1シフトレジスタ)	
11b	消去用シフトレジスタ (第2シフトレジスタ)	
31	フリップフロップ (選択用シフトレジスタ)	
32	フリップフロップ (消去用シフトレジスタ)	
41a	AND回路 (第1論理積出力手段)	20
41b	AND回路 (第3論理積出力手段)	
41c	AND回路 (第2論理積出力手段)	
41d	OR回路 (第1論理和出力手段)	
42a	AND回路 (第4論理積出力手段)	
42b	AND回路 (第5論理積出力手段)	*

* 段)

42c

段)

42d

43

44

51

101~115

201~215

301~315

401~415

101'~115'

201'~215'

301'~315'

401'~415'

501~515

501'~515'

701

901~915

901'~915'

1021・1022

XWS_i

チ)

YWS_i

チ)

ZWS_i

チ)

AND回路 (第6論理積出力手段)

OR回路 (第2論理和出力手段)

論理回路群 (信号出力手段)

NAND回路 (OFF手段)

反転増幅器

AND回路 (第1論理積手段)

AND回路 (第1論理積手段)

AND回路 (第1論理積手段)

AND回路 (第1論理積手段)

AND回路 (第2論理積手段)

AND回路 (第2論理積手段)

AND回路 (第2論理積手段)

AND回路 (第2論理積手段)

OR回路 (第1論理和手段)

OR回路 (第2論理積手段)

論理回路群 (信号出力手段)

AND回路 (第1論理積手段)

AND回路 (第2論理積手段)

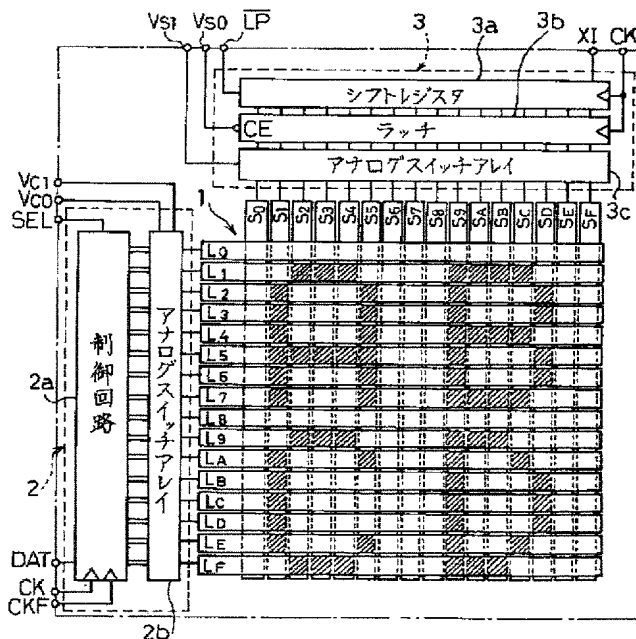
インバータ (否定入力手段)

スイッチ (選択電圧用スイッチ)

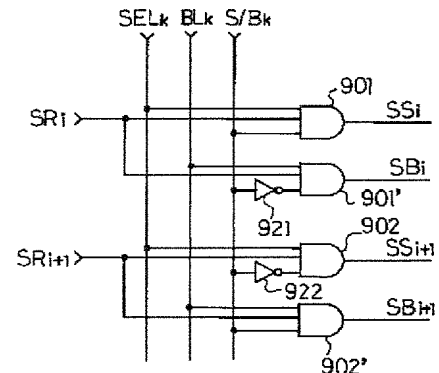
スイッチ (非選択電圧用スイッチ)

スイッチ (消去電圧用スイッチ)

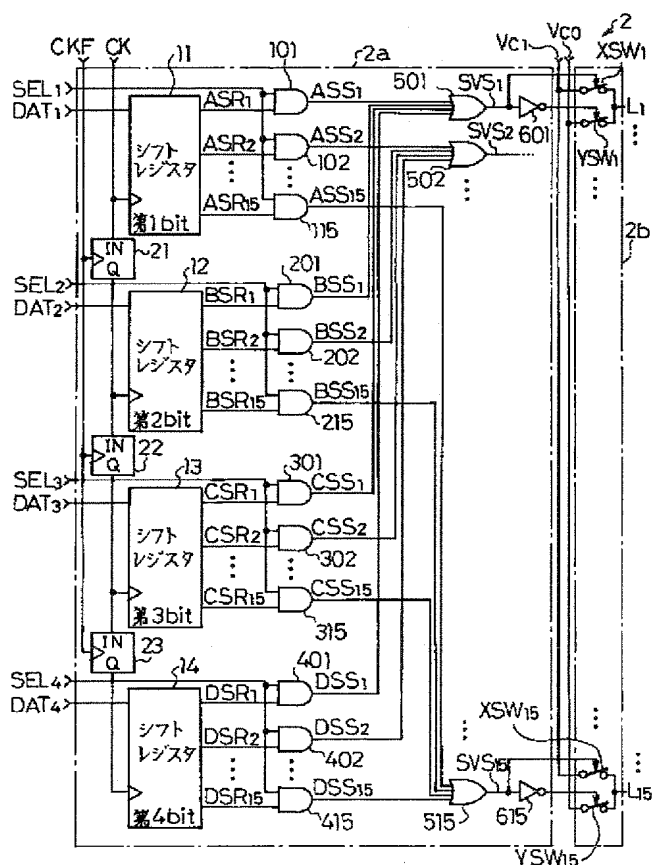
【図2】



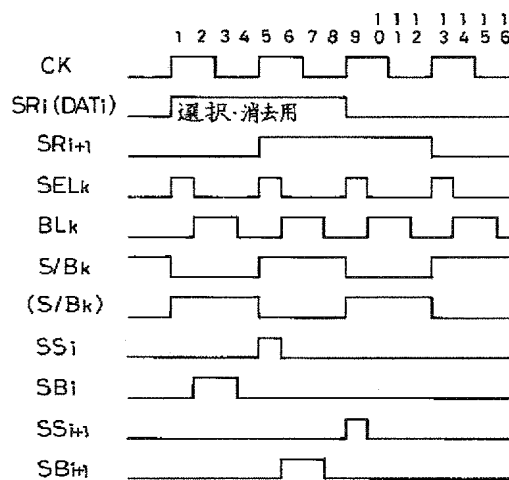
【図8】



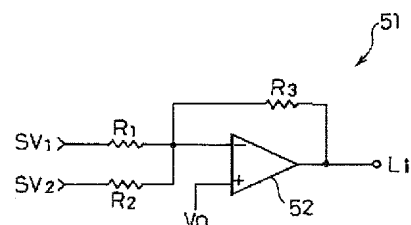
【図1】



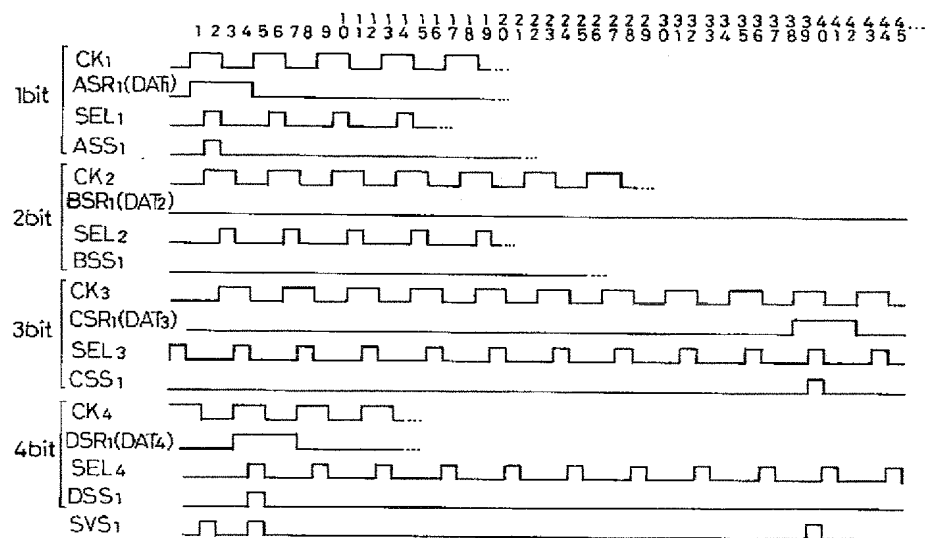
【図9】



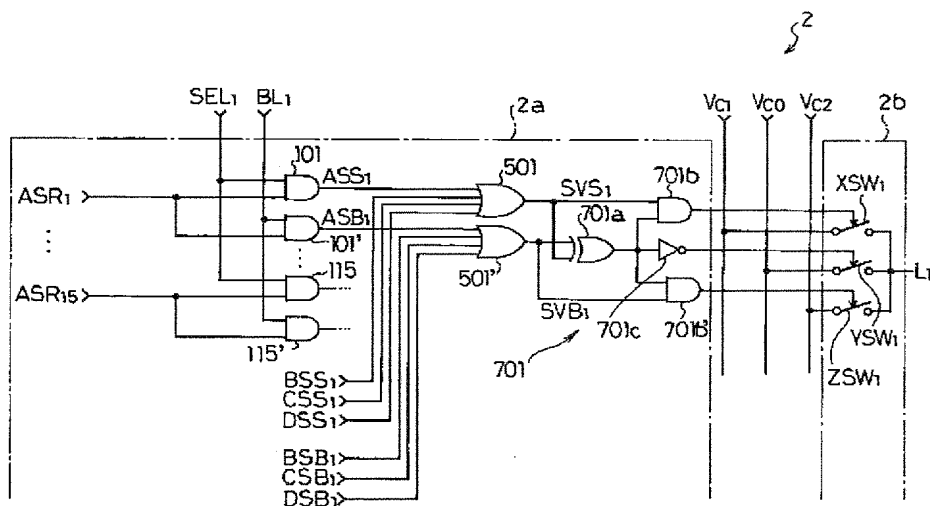
【図13】



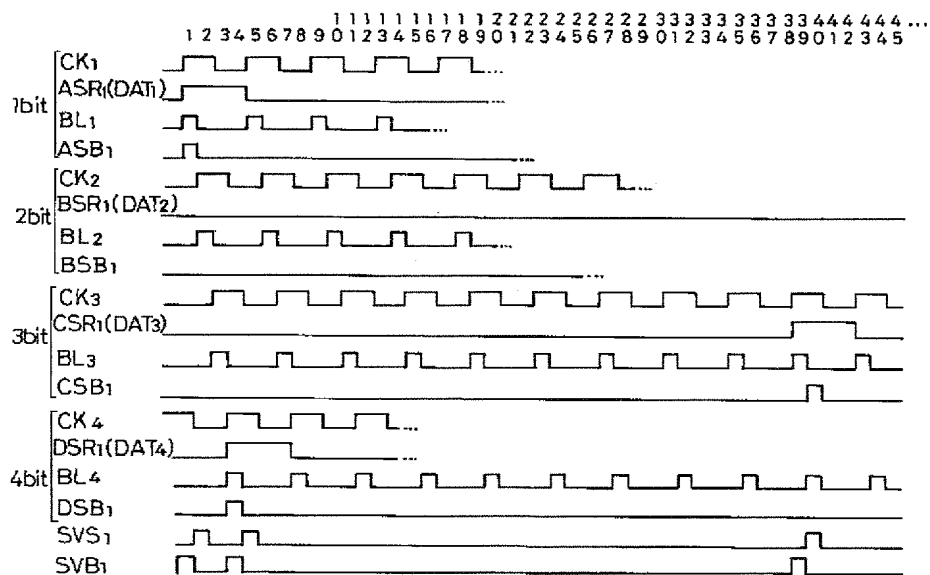
【図3】



【図 4】

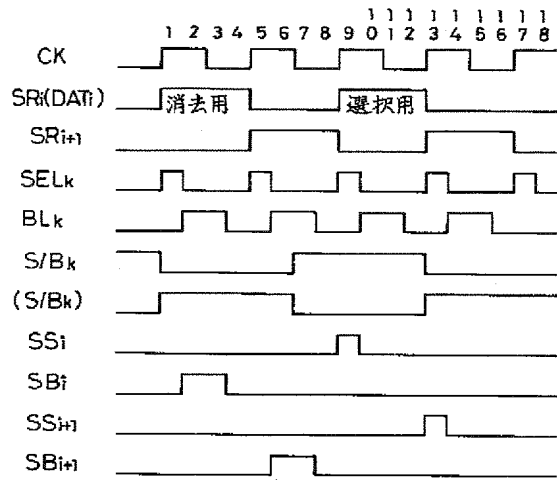


【図 5】

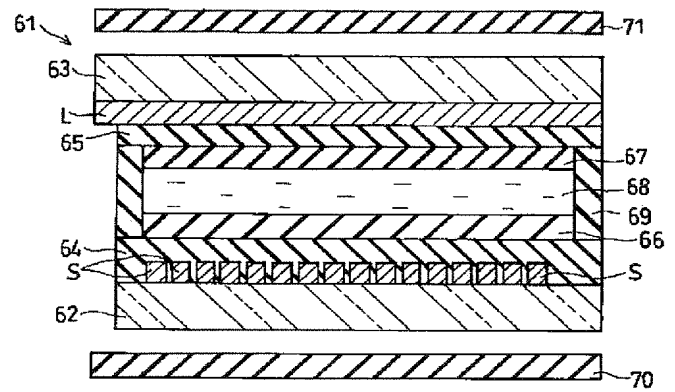


[illegible][illegible]

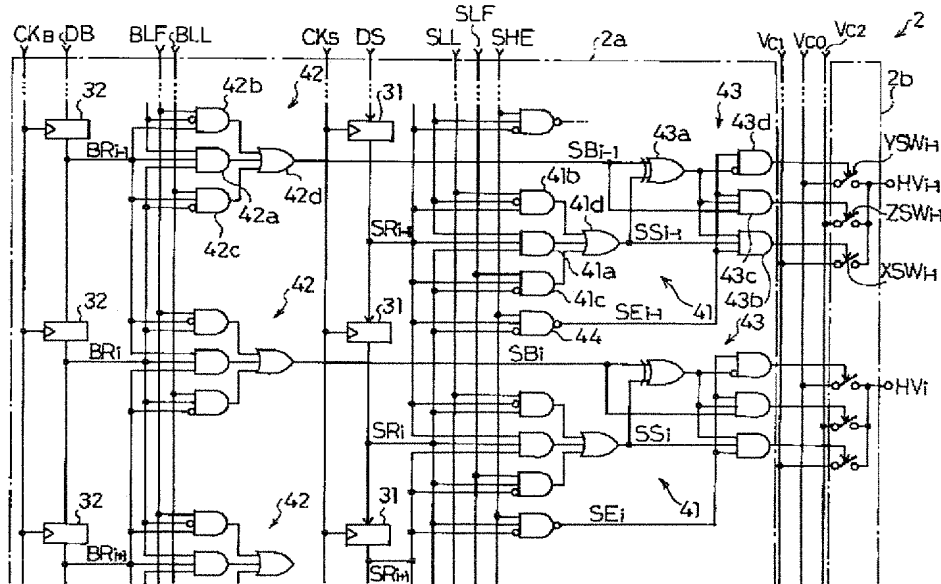
【図10】



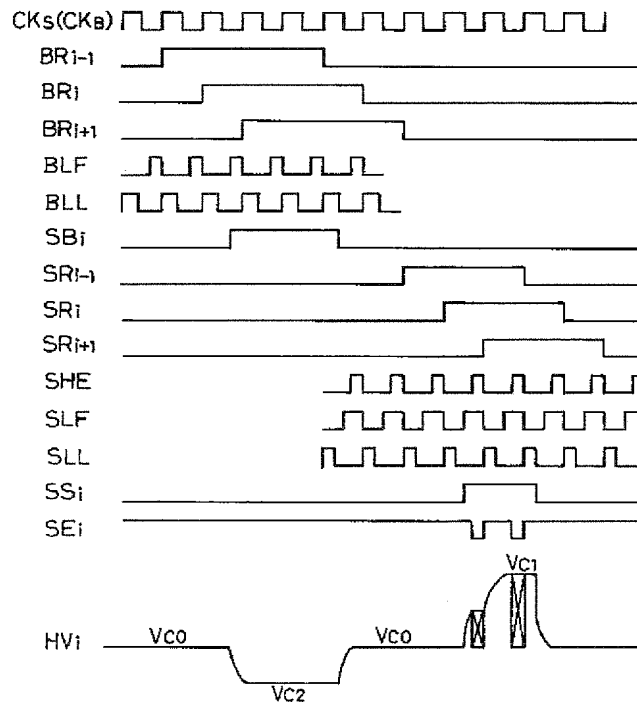
【図15】



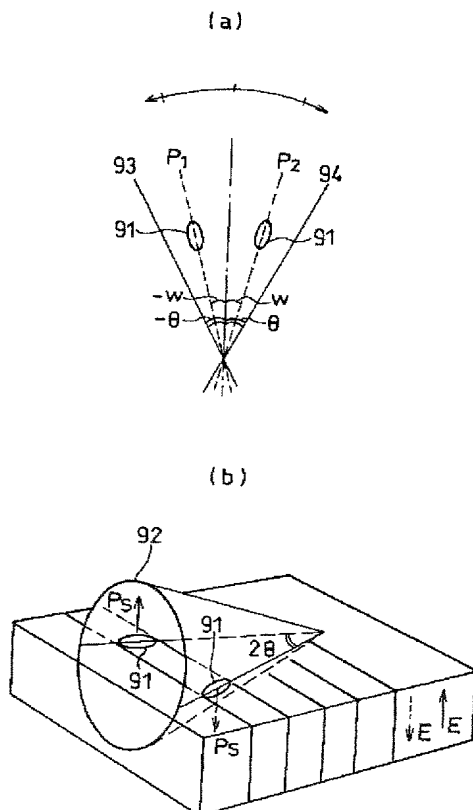
【図11】



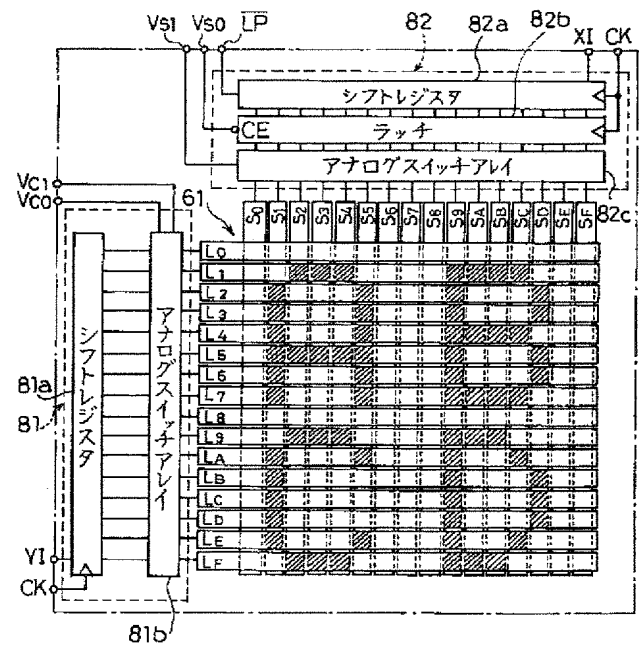
【図12】



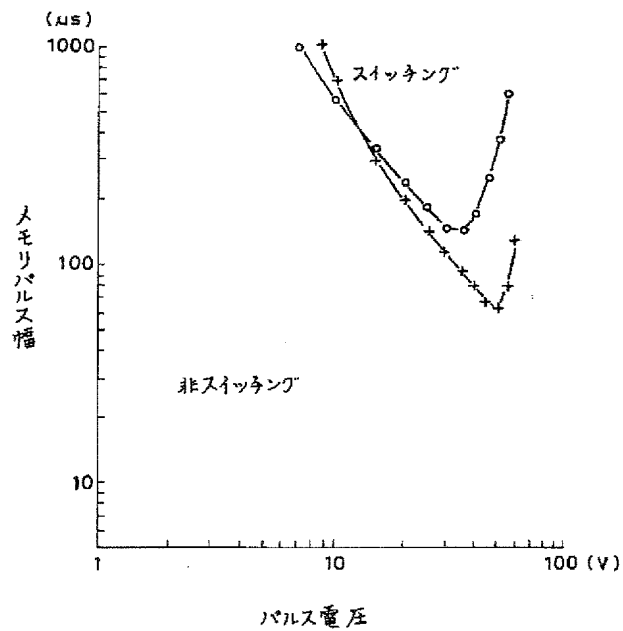
【図17】



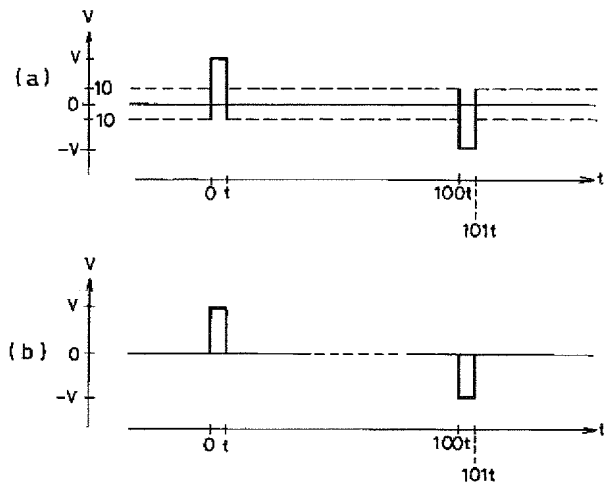
【図16】



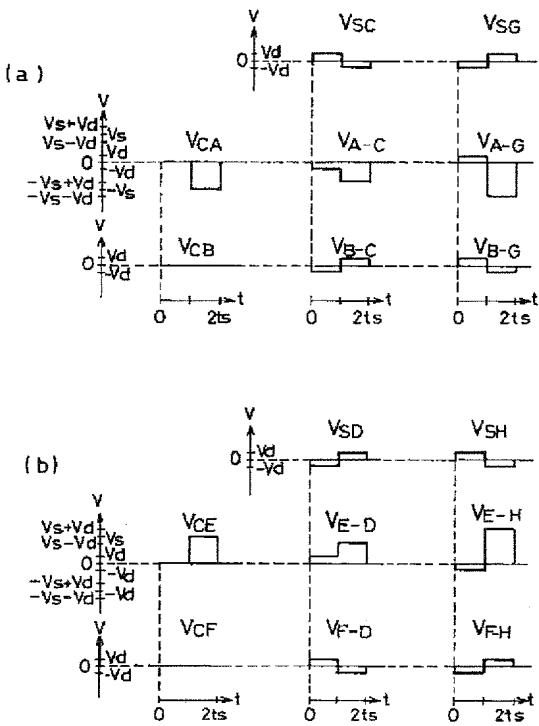
【図18】



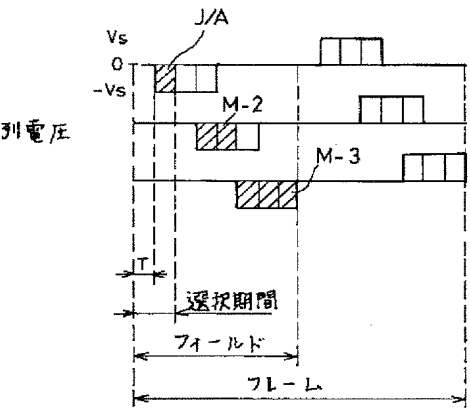
【図19】



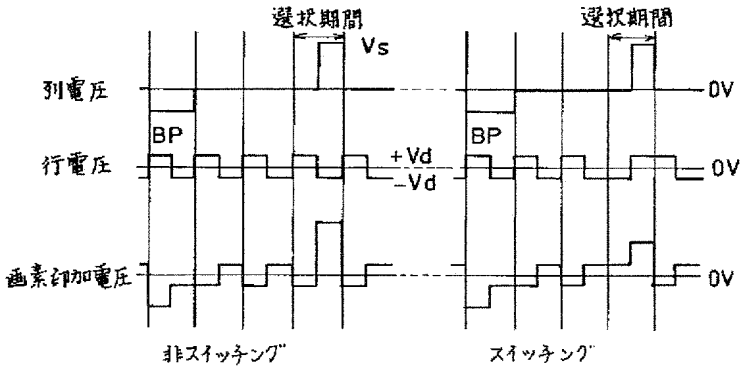
【図20】



【図21】



【図22】



フロントページの続き

(71)出願人 390040604

イギリス国

THE SECRETARY OF ST
ATE FOR DEFENCE IN
HER BRITANNIC MAJES
TY'S GOVERNMENT OF
THE UNETED KINGDOM
OF GREAT BRITAIN AN
D NORTHERN IRELAND

イギリス国、ジー・ユー・14・6・テイ
ー・デイー、ハンツ、フアーンボロー（番
地なし）

(72)発明者 富沢 一成

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 沼尾 孝次

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内